

512,131

Rec'd PCT

21 OCT 2004

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年9月30日 (30.09.2004)

PCT

(10)国際公開番号  
WO 2004/084318 A1

(51) 国際特許分類<sup>7</sup>: H01L 33/00

(21) 国際出願番号: PCT/JP2004/001952

(22) 国際出願日: 2004年2月19日 (19.02.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2003-077703 2003年3月20日 (20.03.2003) JP

(71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 奥山 浩之 (OKUYAMA, Hiroyuki) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 土居 正人 (DOI, Masato) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 球磨 刚志 (BIWA, Goshi) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 鈴木 淳 (SUZUKI, Jun) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 森 幸一, 外 (MORI, Koh-ichi et al.); 〒1710022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo (JP).

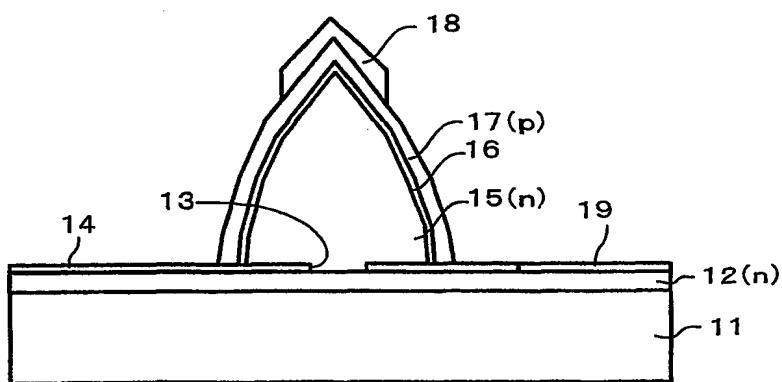
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NL, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH,

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND METHOD FOR MANUFACTURING SAME; INTEGRATED SEMICONDUCTOR LIGHT-EMITTING DEVICE AND METHOD FOR MANUFACTURING SAME; IMAGE DISPLAY AND METHOD FOR MANUFACTURING SAME; AND ILLUMINATING DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体発光素子およびその製造方法、集積型半導体発光装置およびその製造方法、画像表示装置およびその製造方法ならびに照明装置およびその製造方法



n-side electrode are formed.

(57) Abstract: An n-type GaN layer is grown on a sapphire substrate, and an SiN film or the like is formed thereon as a growth mask. An n-type GaN layer in a shape of a hexagonal pyramid spire is selectively grown over the n-type GaN layer located under an opening portion of the growth mask. This spire-shaped n-type GaN layer is composed of a plurality of crystal planes which are inclined to the major surface of the sapphire substrate at different inclination angles, thereby forming a projection as a whole. An active layer and a p-type GaN layer are sequentially formed on this n-type GaN layer, thereby forming a light-emitting structure. Then, a p-side electrode and an

WO 2004/084318 A1

(57) 要約: サファイア基板上にn型GaN層を成長させ、その上にSiN膜などにより成長マスクを形成する。成長マスクの開口部におけるn型GaN層上に、サファイア基板の正面に対して傾斜しつつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する六角錐状の尖塔形状のn型GaN層を選択成長させる。このn型GaN層上に活性層およびp型GaN層を順次成長させ、発光素子構造を形成する。この後、p側電極およびn側電極を形成する。



CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,  
MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,  
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 国際調査報告書

## 明 細 書

半導体発光素子およびその製造方法、集積型半導体発光装置およびその製造方法、画像表示装置およびその製造方法ならびに照明装置お  
5 よびその製造方法

## 技術分野

この発明は、半導体発光素子およびその製造方法、集積型半導体発光装置およびその製造方法、画像表示装置およびその製造方法ならびに照明装置およびその製造方法に関し、特に、窒化物系Ⅲ-V族化合物半導体を用いた発光ダイオードに適用して好適なものである。

## 背景技術

従来、半導体発光素子として、サファイア基板上にn型GaN層を成長させ、その上に所定の開口部を有する成長マスクを形成し、この成長マスクの開口部におけるn型GaN層上に、基板の正面に対して傾斜した傾斜結晶面、具体的にはS面を有する六角錐形状のn型GaN層を選択成長し、その傾斜結晶面上に活性層やp型GaN層などを成長させた発光ダイオードが、本出願人により提案されている（例えば、国際公開第02/07231号パンフレット（第47-50頁、第3図～第9図）参照）。この発光ダイオードによれば、素子構造を形成する層への基板側からの貫通転位の伝播を抑制することができ、それらの層の結晶性を良好にすることにより、高い発光効率を得ることができる。

25 第1図Aおよび第1図Bに、上記文献に開示された半導体発光素子の典型的な例を示す。この半導体発光素子の製造方法は次のとおりで

ある。すなわち、まず、主面がC+面であるサファイア基板101上にn型GaN層102を成長させる。次に、n型GaN層102の全面にSiO<sub>2</sub>膜を形成した後、このSiO<sub>2</sub>膜をリソグラフィーおよびエッチングによりパターニングして、素子形成位置に所定の開口部5 103を有する成長マスク104を形成する。この開口部103の形状は、円形またはその一边が<11-20>方向に平行な六角形とする。この開口部103の大きさは10μm程度である。次に、この成長マスク104を用い、その開口部103におけるn型GaN層102上にn型GaN層105を選択成長させる。この選択成長により、10 六角錐形状のn型GaN層105が得られる。この六角錐形状のn型GaN層105の6面は、サファイア基板101の主面に対して傾斜したS面からなる。次に、このn型GaN層105上に、例えばInGaN系の活性層106およびp型GaN層107を順次成長させる。15 このようにして、六角錐形状のn型GaN層105とその傾斜結晶面に成長した活性層106およびp型GaN層107とにより、ダブルヘテロ構造の発光ダイオード構造が形成される。詳細は省略するが、この後、p型GaN層107上にp側電極を形成するとともに、n型GaN層102にn側電極を形成する。

しかしながら、上述のように、S面からなる傾斜結晶面を有する六角錐形状のn型GaN層105を選択成長させ、そのS面上に活性層106およびp型GaN層107を成長させることにより発光素子構造を形成した従来の半導体発光素子は、発光効率の点では未だ十分とは言い難く、また、素子1個当たりの占有面積も大きくならざるを得なかった。

したがって、この発明が解決しようとする課題は、発光効率が十分に高く、素子1個当たりの占有面積も小さい半導体発光素子およびそ

の製造方法を提供することにある。

この発明が解決しようとする他の課題は、発光効率が十分に高く、素子1個当たりの占有面積も小さい集積型半導体発光装置およびその製造方法ならびに画像表示装置およびその製造方法ならびに照明装置

5 およびその製造方法を提供することにある。

## 発明の開示

上記課題を解決するために、この発明の第1の発明は、

一主面に、この主面に対して傾斜しつつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導体層と電気的に接続された第2の電極とを有する

ことを特徴とする半導体発光素子である。

ここで、第1導電型の半導体層、活性層および第2導電型の半導体層の材料としては、基本的には、どのような半導体を用いてもよいが、典型的には、ウルツ鉱型の結晶構造を有するものが用いられる。このようなウルツ鉱型の結晶構造を有する半導体としては、窒化物系II—V族化合物半導体のほか、BeMgZnCdS系化合物半導体やBeMgZnCdO系化合物半導体などのII—VI族化合物半導体などが挙げられる。窒化物系III—V族化合物半導体は、最も一般的には $Al_xBe_yGa_{1-x-y-z}In_zAs_uN_{1-u-v}P_v$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0$

≤ x + y + z < 1、0 ≤ u + v < 1) からなり、より具体的には Al<sub>x</sub>B<sub>y</sub>Ga<sub>1-x-y-z</sub>In<sub>z</sub>N (ただし、0 ≤ x ≤ 1、0 ≤ y ≤ 1、0 ≤ z ≤ 1、0 ≤ x + y + z < 1) からなり、典型的には Al<sub>x</sub>Ga<sub>1-x-z</sub>In<sub>z</sub>N (ただし、0 ≤ x ≤ 1、0 ≤ z ≤ 1) からなる。窒化物系 I  
5 II-V族化合物半導体の具体例を挙げると、GaN、InN、AlN、AlGaN、InGaN、AlGaNなどである。

第1導電型の半導体層がウルツ鉱型結晶構造を有する場合、その凸形状の結晶部の傾斜結晶面を構成する複数の結晶面は典型的にはS面 (実質的にS面とみなすことができる結晶面も含む) である。典型的  
10 には、傾斜結晶面を構成する複数の結晶面の傾斜角は、結晶部の底辺から頂点に向かって段階的に小さくなっている。この結晶部は、典型的には、尖塔形状、特に六角錐状の尖塔形状を有する。この場合、この結晶部の最上部の結晶面、言い換えれば、傾斜結晶面を構成する複数の結晶面のうちの結晶部の頂点を含む結晶面の傾斜角は、好適には  
15 60度以上65度以下、典型的には62度以上63度以下である。この結晶部の形状は尖塔形状に限られず、例えば、基板の正面に平行な一方向に細長い形状を有することもある。この結晶部の大きさ (第1導電型の半導体層の正面に平行な方向の最大寸法) は、一般的には3  
μm以上20μm以下、典型的には10μm以上15μm以下である。

20 この発明の第2の発明は、

一正面に、この正面に対して傾斜しつつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

25 少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第 2 導電型の半導体層上に設けられ、第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する半導体発光素子の製造方法であって、

基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、

5 第 1 の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

成長マスクの開口部における第 1 の半導体層上に第 1 導電型の第 2 の半導体層を選択成長させる工程と、

10 第 2 の半導体層を覆うように、少なくとも活性層および第 2 導電型の半導体層を順次成長させる工程とを有することを特徴とするものである。

ここで、第 1 導電型の第 1 の半導体層と第 1 導電型の第 2 の半導体層との全体が第 1 導電型の半導体層に対応する。

基板としては、第 1 導電型の第 1 の半導体層、第 1 導電型の第 2 の半導体層、活性層、第 2 導電型の半導体層などを良好な結晶性で成長させることができるものである限り、基本的にはどのような材料のものを用いてもよい。具体的には、サファイア ( $\text{Al}_2\text{O}_3$ ) (C面、A面、R面を含む)、SiC (6H、4H、3Cを含む)、窒化物系 III-V族化合物半導体 (GaN、InAlGaN、AlNなど)、Si、ZnS、ZnO、LiMgO、GaAs、MgAl<sub>2</sub>O<sub>4</sub>などからなる基板を用いることができ、好適には、これらの材料からなる六方晶基板または立方晶基板、特に好適には六方晶基板を用いる。例えば、第 1 導電型の第 1 の半導体層、第 1 導電型の第 2 の半導体層、活性層および第 2 導電型の半導体層が窒化物系 III-V族化合物半導体からなる場合には、C面を主面としたサファイア基板を用いることができる。ただし、ここで言うC面には、これに対して5~6°程度まで

傾いていて実質的にC面とみなすことができる結晶面も含むものとする。

第1導電型の第1の半導体層、第1導電型の第2の半導体層、活性層および第2導電型の半導体層の成長方法としては、例えば、有機金属化学気相成長（MOCVD）、ハイドライド気相エピタキシャル成長またはハライド気相エピタキシャル成長（HVPE）などを用いることができる。これらの層のうち第1導電型の第2の半導体層の選択成長の成長温度は、凸形状の結晶部の傾斜結晶面を傾斜角の異なる複数の結晶面からなる良好な凸面とする観点より、好適には920°C以上960°C以下、より好適には920°C以上950°C以下、特に好適には約940°Cとする。また、この選択成長の成長速度は、好適には6μm/h以上、より好適には6μm/h以上18μm/h以下とする。典型的には、活性層および第2導電型の半導体層の成長温度は、第1導電型の第2の半導体層の選択成長の成長温度より、例えば20～40°C以上低くする。

成長マスクは、第2の半導体層の成長時に、この成長マスク上の核生成が第1の半導体層上の核生成に比べて十分に少なく（言い換れば、この成長マスク上の成長が阻害される）、選択成長が可能である限り、基本的にはどのような材料で形成してもよいが、典型的には、窒化シリコン（SiN（特に、Si<sub>3</sub>N<sub>4</sub>））膜、酸化窒化シリコン（SiON）膜、酸化シリコン（SiO<sub>2</sub>）膜またはそれらの積層膜からなる。ただし、成長マスクとしては、これらのほかに、酸化アルミニム（Al<sub>2</sub>O<sub>3</sub>）膜やタンゲステン（W）膜や上記の膜との積層膜などを用いてもよい。第2の半導体層を良好な尖塔形状、特に六角錐状の尖塔形状とする観点からは、好適には、少なくとも最表面が窒化シリコンからなる成長マスク、具体的には例えば窒化シリコン膜単

層からなる成長マスクや、酸化シリコン膜上に窒化シリコン膜を積層した成長マスクなどが用いられる。

成長マスクの開口部は種々の形状とすることができますが、典型的には六角形や円形が用いられる。成長マスクの開口部の形状を六角形とする場合、この成長マスクを用いて成長される半導体層が六角形からずれて成長するのを防止する観点より、好適には、その六角形の一辺は〈1-100〉方向または〈11-20〉方向に垂直になるようにする。

成長マスクの開口部の大きさ（基板の主面に平行な方向の最大寸法）は、素子の占有面積の低減を図る観点からは小さい方が好ましいが、小さ過ぎると第2の半導体層の選択成長の際に転位や積層欠陥などの結晶欠陥が発生しやすくなるので、これらを考慮すると一般的には、半導体発光素子の大きさの1／4倍以上1倍以下とし、具体的には、例えば、 $2\text{ }\mu\text{m}$ 以上 $13\text{ }\mu\text{m}$ 以下、小さめにする場合には典型的には $2\text{ }\mu\text{m}$ 以上 $5\text{ }\mu\text{m}$ 以下、好適には $2.5\text{ }\mu\text{m}$ 以上 $3.5\text{ }\mu\text{m}$ 以下とし、大きめにする場合には典型的には $7\text{ }\mu\text{m}$ 以上 $13\text{ }\mu\text{m}$ 以下、好適には $9\text{ }\mu\text{m}$ 以上 $11\text{ }\mu\text{m}$ 以下とする。

第2の半導体層は、典型的には、成長マスクの開口部よりも横方向に広がるように選択成長させるが、必ずしもそのようにする必要はなく、開口部に収まるようにしてもよい。

また、第2の半導体層は、典型的には、尖塔形状が形成されるよう選択成長させるが、第2の半導体層をその頂部に基板とほぼ平行な結晶面が形成されるように選択成長させた後、この頂部の上にアンドープの半導体層を成長させるようにしてもよい。このようにすれば、第2導電型の半導体層上に第2の電極を形成するとともに、第1の半導体層および第2の半導体層からなる第1導電型の半導体層に第1の

電極を形成し、これらの第 1 の電極および第 2 の電極間に電流を流す場合、凸形状の結晶部の頂部に成長したこのアンドープの半導体層が電流阻止領域となり、この部分には電流が流れないようにすることができる。結晶部の頂部の結晶性は一般に他の部分に比べて劣るので、  
5 このように結晶部の頂部を避けて電流を流すことができることにより、良好な結晶性の部分のみを通って電流が流れ、ひいては発光効率の向上を図ることができる。

また、成長マスクは、選択成長終了後もそのまま残しておくのが一般的であるが、選択成長終了後に除去してもよい。この場合、成長マスクの開口部における第 1 の半導体層上に第 1 導電型の第 2 の半導体層を選択成長させる工程と、第 2 の半導体層を覆うように、少なくとも活性層および第 2 導電型の半導体層を順次成長させる工程との間に、成長マスクを除去する工程を有する。  
10

上記のほか、この第 2 の発明においては、その性質に反しない限り、  
15 第 1 の発明に関連して説明したことが成立する。

この発明の第 3 の発明は、

一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、  
20

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

結晶部上の第 2 導電型の半導体層上に設けられ、第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された集積型半導体発光装置である。  
25

凸形状の結晶部の傾斜結晶面を互いに傾斜角が異なる複数の結晶面

からなる良好な凸面とする観点より、好適には、成長マスクの開口部の大きさは、一般的には半導体発光素子の大きさの 1／4 倍以上 1 倍以下とし、具体的には、例えば、2  $\mu\text{m}$  以上 13  $\mu\text{m}$  以下、小さめにする場合には典型的には 2  $\mu\text{m}$  以上 5  $\mu\text{m}$  以下、好適には 2.5  $\mu\text{m}$  以上 3.5  $\mu\text{m}$  以下とし、大きめにする場合には典型的には 7  $\mu\text{m}$  以上 13  $\mu\text{m}$  以下、好適には 9  $\mu\text{m}$  以上 11  $\mu\text{m}$  以下とする。成長マスクの開口部の間隔は、一般的には半導体発光素子の大きさの 2 倍以上、具体的には、例えば 10  $\mu\text{m}$  以上、好適には 13  $\mu\text{m}$  以上、典型的には 13  $\mu\text{m}$  以上 30  $\mu\text{m}$  以下とする。

ここで、集積型半導体発光装置はその用途を問わないが、典型的な用途を挙げると、画像表示装置や照明装置などである。また、この集積型半導体発光装置には、同一基板上に複数の半導体発光素子をモノリシックに形成したもののほか、同一基板上にモノリシックに形成された複数の半導体発光素子を個々に分離し、これらの半導体発光素子を他の基台上にマウントしたものも含まれる。

この発明の第 4 の発明は、

一主面に、この主面に対して傾斜しつつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

結晶部上の第 2 導電型の半導体層上に設けられ、第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された集積型半導体発光装置の製造方法であって、

基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、

第1の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

成長マスクの開口部における第1の半導体層上に第1導電型の第2の半導体層を選択成長させる工程と、

5 第2の半導体層を覆うように、少なくとも活性層および第2導電型の半導体層を順次成長させる工程とを有することを特徴とするものである。

この発明の第5の発明は、

10 一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

15 結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導体層と電気的に接続された第2の電極とを有する複数の半導体発光素子が集積された画像表示装置である。

この発明の第6の発明は、

20 一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

25 結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導体層と電気的に接続された第2の電極とを有する複数の半導体発光素

子が集積された画像表示装置の製造方法であって、

基板上に第1導電型の第1の半導体層を成長させる工程と、

第1の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

5 成長マスクの開口部における第1の半導体層上に第1導電型の第2の半導体層を選択成長させる工程と、

第2の半導体層を覆うように、少なくとも活性層および第2導電型の半導体層を順次成長させる工程とを有する

ことを特徴とするものである。

10 この発明の第7の発明は、

一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

15 少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導体層と電気的に接続された第2の電極とを有する一つの半導体発光素子または集積された複数の半導体発光素子を有する照明装置である。

20 この発明の第8の発明は、

一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

25 少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第 2 導電型の半導体層上に設けられ、第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する一つの半導体発光素子または集積された複数の半導体発光素子を有する照明装置の製造方法であって、

- 5 基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、  
第 1 の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、  
成長マスクの開口部における第 1 の半導体層上に第 1 導電型の第 2 の半導体層を選択成長させる工程と、  
10 第 2 の半導体層を覆うように、少なくとも活性層および第 2 導電型の半導体層を順次成長させる工程とを有することを特徴とするものである。  
この発明の第 3 ～第 8 の発明においては、その性質に反しない限り、第 1 および第 2 の発明に関連して説明したことが成立する。
- 15 この発明の第 9 の発明は、  
一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、  
少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、  
20 第 1 導電型の半導体層と電気的に接続された第 1 の電極と、  
結晶部上の第 2 導電型の半導体層上に設けられ、第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有することを特徴とする半導体発光素子である。  
この発明の第 10 の発明は、  
25 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導  
5 体層と電気的に接続された第2の電極とを有する半導体発光素子の製  
造方法であって、

基板上に第1導電型の第1の半導体層を成長させる工程と、

第1の半導体層上に、所定部分に開口部を有する成長マスクを形成  
する工程と、

10 成長マスクの開口部における第1の半導体層上に第1導電型の第2  
の半導体層を選択成長させる工程と、

第2の半導体層を覆うように、少なくとも活性層および第2導電型  
の半導体層を順次成長させる工程とを有する  
ことを特徴とするものである。

15 この発明の第1-1の発明は、

一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾  
斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活  
性層および第2導電型の半導体層と、

20 第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導  
体層と電気的に接続された第2の電極とを有する複数の半導体発光素  
子が集積された集積型半導体発光装置である。

この発明の第1-2の発明は、

25 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾  
斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導体層と電気的に接続された第2の電極とを有する複数の半導体発光素子が集積された集積型半導体発光装置の製造方法であって、

基板上に第1導電型の第1の半導体層を成長させる工程と、

第1の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

成長マスクの開口部における第1の半導体層上に第1導電型の第2の半導体層を選択成長させる工程と、

第2の半導体層を覆うように、少なくとも活性層および第2導電型の半導体層を順次成長させる工程とを有することを特徴とするものである。

この発明の第13の発明は、

一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導体層と電気的に接続された第2の電極とを有する複数の半導体発光素子が集積された画像表示装置である。

この発明の第14の発明は、

一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導  
5 体層と電気的に接続された第2の電極とを有する複数の半導体発光素  
子が集積された画像表示装置の製造方法であって、

基板上に第1導電型の第1の半導体層を成長させる工程と、

第1の半導体層上に、所定部分に開口部を有する成長マスクを形成  
する工程と、

10 成長マスクの開口部における第1の半導体層上に第1導電型の第2  
の半導体層を選択成長させる工程と、

第2の半導体層を覆うように、少なくとも活性層および第2導電型  
の半導体層を順次成長させる工程とを有する  
ことを特徴とするものである。

15 この発明の第15の発明は、

一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾  
斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活  
性層および第2導電型の半導体層と、

20 第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導  
体層と電気的に接続された第2の電極とを有する一つの半導体発光素  
子または集積された複数の半導体発光素子を有する照明装置である。

この発明の第16の発明は、

25 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾  
斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

少なくとも結晶部の傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

第1導電型の半導体層と電気的に接続された第1の電極と、

結晶部上の第2導電型の半導体層上に設けられ、第2導電型の半導  
5 体層と電気的に接続された第2の電極とを有する一つの半導体発光素子または集積された複数の半導体発光素子を有する照明装置の製造方法であって、

基板上に第1導電型の第1の半導体層を成長させる工程と、

第1の半導体層上に、所定部分に開口部を有する成長マスクを形成  
10 する工程と、

成長マスクの開口部における第1の半導体層上に第1導電型の第2の半導体層を選択成長させる工程と、

第2の半導体層を覆うように、少なくとも活性層および第2導電型の半導体層を順次成長させる工程とを有する

15 ことを特徴とするものである。

この発明の第9～第16の発明において、全体としてほぼ凸面をなす傾斜結晶面には、部分的に平面が含まれることもある。

この発明の第9～第16の発明においては、その性質に反しない限り、第1および第2の発明に関連して説明したことが成立する。

20 上述のように構成されたこの発明によれば、所定部分に開口部を有する成長マスクを用いて第1導電型の半導体層を選択成長させることにより、互いに傾斜角が異なる複数の結晶面からなり、全体として良好な凸面をなす傾斜結晶面、あるいは、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を形成することができる。そして、  
25 この結晶部を覆うように、少なくとも活性層および第2導電型の半導体層を順次成長させることにより、発光素子構造を形成することができ

きる。この場合、第 2 導電型の半導体層も、互いに傾斜角が異なる複数の結晶面からなり、全体として良好な凸面をなす傾斜結晶面、あるいは、全体としてほぼ凸面をなす傾斜結晶面を有する。このため、素子の駆動時には、この第 2 導電型の半導体層の凸面あるいはほぼ凸面をなす傾斜結晶面での反射により、活性層から生じる光を効率よく外部に取り出すことができる。また、S 面からなる傾斜結晶面を有する結晶部を形成する場合に比べて結晶部の大きさを小さくすることができ、したがってこの結晶部上に活性層および第 2 導電型の半導体層を順次成長させることにより形成される発光素子構造も小さくすることができる。さらに、光の取り出し方向を主面に垂直に近づけることができるため、発光部分以外の部分にブラックマスクなどを設けても光が遮られにくくなる。

#### 図面の簡単な説明

第 1 図 A および第 1 図 B は、従来の GaN 系発光ダイオードを示す平面図および断面図、第 2 図 A および第 2 図 B は、この発明の第 1 の実施形態による GaN 系発光ダイオードの製造方法を説明するための平面図および断面図、第 3 図 A および第 3 図 B は、この発明の第 1 の実施形態による GaN 系発光ダイオードの製造方法を説明するための平面図および断面図、第 4 図 A および第 4 図 B は、この発明の第 1 の実施形態による GaN 系発光ダイオードの製造方法を説明するための平面図および断面図、第 5 図 A および第 5 図 B は、この発明の第 1 の実施形態による GaN 系発光ダイオードの製造方法を説明するための平面図および断面図、第 6 図は、この発明の第 1 の実施形態による GaN 系発光ダイオードの製造方法において成長マスクにアレイ状に形成する開口部を示す平面図、第 7 図は、この発明の第 1 の実施形態に

態によるGaN系発光ダイオードを示す平面図および断面図、第21図Aおよび第21図Bは、この発明の第10の実施形態によるGaN系発光ダイオードを示す平面図および断面図である。

## 5 発明を実施するための最良の形態

以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

第2図Aおよび第2図B～第5図Aおよび第5図Bはこの発明の第10の実施形態によるGaN系発光ダイオードの製造方法を工程順に示し、各図のAは平面図、Bは断面図である。

この第1の実施形態においては、第2図Aおよび第2図Bに示すように、まず、例えば正面がC+面であるサファイア基板11を用意し、サーマルクリーニングなどによりその表面を清浄化した後、このサファイア基板11上に、例えば有機金属化学気相成長（MOCVD）法により、n型不純物として例えばSiがドープされたn型GaN層12を成長させる。このn型GaN層12は、可能な限り結晶欠陥、特に貫通転位が少ないものが望ましく、その厚さは例えば2μm程度以上あれば通常は足りる。低欠陥のn型GaN層12の形成方法としては種々の方法があるが、一般的な方法として、サファイア基板11上に、まず例えば500°C程度の低温でGaNバッファ層やAlNバッファ層（図示せず）を成長させ、その後1000°C程度まで昇温して結晶化してから、その上にn型GaN層12を成長させる方法がある。この場合、GaNバッファ層やAlNバッファ層を成長させた後、まずアンドープGaN層を成長させ、その後にn型GaN層12を成長させるようにしてもよい。

よる G a N 系発光ダイオードの製造方法において発光素子構造を形成した直後の G a N 加工基板の表面の状態を示す走査型電子顕微鏡写真、第 8 図は、この発明の第 1 の実施形態との比較例による G a N 系発光ダイオードの製造方法において発光素子構造を形成した直後の G a N 加工基板の表面の状態を示す走査型電子顕微鏡写真、第 9 図は、この発明の第 1 の実施形態による G a N 系発光ダイオードの製造方法において発光素子構造を形成した直後の G a N 加工基板の表面の状態を示す走査型電子顕微鏡写真、第 10 図は、この発明の第 1 の実施形態による G a N 系発光ダイオードの製造方法において発光素子構造を形成した直後の G a N 加工基板の表面の状態を示す走査型電子顕微鏡写真、第 11 図は、この発明の第 1 の実施形態による G a N 系発光ダイオードの製造方法において発光素子構造を形成する G a N 系半導体層の成長時に導入される結晶欠陥の分布を示す断面図、第 12 図は、この発明の第 1 の実施形態により製造された G a N 系発光ダイオードからの発光の様子を示す断面図、第 13 図は、この発明の第 2 の実施形態による G a N 系発光ダイオードを示す断面図、第 14 図は、この発明の第 2 の実施形態による G a N 系発光ダイオードを n 側電極から見た斜視図、第 15 図は、この発明の第 3 の実施形態による画像表示装置を示す斜視図、第 16 図 A および第 16 図 B は、この発明の第 5 の実施形態による G a N 系発光ダイオードを示す平面図および断面図、第 17 図 A および第 17 図 B は、この発明の第 6 の実施形態による G a N 系発光ダイオードを示す平面図および断面図、第 18 図 A および第 18 図 B は、この発明の第 7 の実施形態による G a N 系発光ダイオードを示す平面図および断面図、第 19 図 A および第 19 図 B は、この発明の第 8 の実施形態による G a N 系発光ダイオードを示す平面図および断面図、第 20 図 A および第 20 図 B は、この発明の第 9 の実施形

次に、n型GaN層12の全面に例えばCVD法、真空蒸着法、スパッタリング法などにより、好適にはプラズマCVD法により、例えば厚さが200nm程度のSiO<sub>2</sub>膜および例えば厚さが10nm程度のSiN膜（特に、Si<sub>3</sub>N<sub>4</sub>膜）を順次形成した後、その上にリソグラフィーにより所定形状のレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして、例えばフッ酸系のエッチング液を用いたウェットエッチング、または、CF<sub>4</sub>やCHF<sub>3</sub>などのフッ素を含むエッチングガスを用いたRIE法によりSiN膜およびSiO<sub>2</sub>膜をエッチングし、パターニングして、素子形成位置に所定の開口部13を有する成長マスク14を形成する。この開口部13の形状は、その一辺が<1-100>方向または<11-20>方向に垂直な六角形とする。この開口部13の大きさDは必要に応じて決められるが、一般的には2～13μm、ここでは例えば3μmである。第2図Aおよび第2図Bにおいては開口部13は1個だけ図示されているが、実際にはアレイ状に複数個形成されている。開口部13の配列の一例を第6図に示す。第6図において、Pは開口部13のピッチである。ピッチPは一般的には10μm以上、ここでは例えば14μmである。

次に、第3図Aおよび第3図Bに示すように、この成長マスク14を用い、その開口部13におけるn型GaN層12上にn型不純物として例えばSiがドープされたn型GaN層15を選択成長させる。この時の成長温度は例えば940℃とし、成長速度はプレーナ成長換算で、好適には6～18μm/h、例えば11.0～11.3μm/hという非常に速い成長速度にする。この選択成長の際には、n型GaN層12との界面近傍における成長を穏やかにするため、成長温度を940℃よりも低くし、成長速度を低くして成長させるようにして

もよいが、n型GaN層12との界面近傍の部分を除く大部分の成長は成長温度を940°Cとし、成長速度をプレーナ成長換算で11.0～11.3μm/hという非常に速い成長速度に設定して行う。この選択成長により、六角錐状の尖塔形状のn型GaN層15が得られる。

5 この尖塔形状のn型GaN層15の6面は、サファイア基板11の正面に対して傾斜しつつ互いに傾斜角が異なる複数の（一般的には、多くの、あるいは無数の）結晶面からなるが、この例では簡単にするため、四つの結晶面F<sub>1</sub>、F<sub>2</sub>、F<sub>3</sub>、F<sub>4</sub>からなり、全体として凸面をなす傾斜結晶面となっているものとする。この場合、これらの結晶面F<sub>1</sub>、F<sub>2</sub>、F<sub>3</sub>、F<sub>4</sub>の傾斜角はn型GaN層15の底辺から頂点に向かって段階的に小さくなっている、頂点を含む最上部の結晶面F<sub>4</sub>の傾斜角は例えば62～63度、底辺を含む最下部の結晶面F<sub>1</sub>の傾斜角は例えば74～82度である。ここで、全体として凸面をなすこの傾斜結晶面を構成する各結晶面はいずれもS面または実質的にS面とみなすことができるものであり、これに対応して、n型GaN層15は結晶方位が互いに微小角異なる複数の単結晶の集合体となっている。このn型GaN層15の大きさは必要に応じて決められるが、この場合には開口部13の大きさより大きく選ばれ、具体的には開口部13の大きさの3倍程度に選ばれる。

20 上述のようにしてn型GaN層15を成長させた後、引き続いて、第4図Aおよび第4図Bに示すように、サファイア基板11上に、例えばInGaN系の活性層16およびp型不純物として例えばMgがドープされたp型GaN層17を順次成長させる。このようにして、六角錐状の尖塔形状のn型GaN層15とその傾斜結晶面に成長した活性層16およびp型GaN層17とにより、ダブルヘテロ構造の発光ダイオード構造が形成される。この後、例えば、窒素雰囲気中にお

いて 850°C 程度の温度でアニールすることにより、p 型 GaN 層 17 中の Mg の活性化を行う。活性層 16 および p 型 GaN 層 17 の厚さは必要に応じて決められるが、活性層 16 の厚さは例えば 3 nm (成長後の活性層 16 の厚さは通常、上から下にかけて幾分、分布を 5 持っている)、p 型 GaN 層 17 の厚さは、動作電圧低減の観点からは発光特性を損ねない限りできるだけ薄くする方が望ましく、例えば 0.2 μm であるが、例えば 0.05 μm にすると動作電圧を 3 V 以下に 10 することができる。これらの GaN 系半導体層の成長温度は、例えば、活性層 16 は 650 ~ 800°C、具体的には例えば 740°C、p 型 GaN 層 17 は活性層 16 の特性を損なわない範囲で高めの温度、例えば 880 ~ 940°C、具体的には例えば 900°C とする。活性層 16 は、例えば、単一の InGaN 層からなるものであっても、例えば In 組成が互いに異なる二つの InGaN 層を交互に積層した多重 15 量子井戸構造であってもよく、それらの In 組成は、発光波長をどの 波長に設定するかに応じて決められる。また、p 型 GaN 層 17 においては、好適には、その最上層の Mg 濃度を、後述の p 側電極と良好 20 なオーム接觸を取ることができるように上昇させる。ただし、p 型 GaN 層 17 上に、オーム接觸をより取り易い、p 型不純物として例えば Mg がドープされた p 型 InGaN 層を p 型コンタクト層 として成長させ、その上に p 側電極を形成してもよい。

発光素子構造の大きさ W は例えば 10 μm 程度である (第 4 図 B 参照)。

上記の GaN 系半導体層の成長原料は、例えば、Ga の原料としてはトリメチルガリウム ((CH<sub>3</sub>)<sub>3</sub>Ga、TMG)、Al の原料としてはトリメチルアルミニウム ((CH<sub>3</sub>)<sub>3</sub>Al、TMA)、In の原料としてはトリメチルインジウム ((CH<sub>3</sub>)<sub>3</sub>In、TMI)

を、Nの原料としてはNH<sub>3</sub>を用いる。ドーパントについては、n型ドーパントとしては例えばシラン(SiH<sub>4</sub>)を、p型ドーパントとしては例えばビス=メチルシクロペニタジエニルマグネシウム((CH<sub>3</sub>C<sub>5</sub>H<sub>4</sub>)<sub>2</sub>Mg)あるいはビス=シクロペニタジエニルマグネシウム((C<sub>5</sub>H<sub>5</sub>)<sub>2</sub>Mg)を用いる。

また、上記のGaN系半導体層の成長時のキャリアガス雰囲気としては、n型GaN層12およびn型GaN層15はN<sub>2</sub>とH<sub>2</sub>との混合ガス、活性層16はN<sub>2</sub>ガス雰囲気、p型GaN層17はN<sub>2</sub>とH<sub>2</sub>との混合ガスを用いる。この場合、活性層16の成長ではキャリアガス雰囲気をN<sub>2</sub>雰囲気としており、キャリアガス雰囲気にH<sub>2</sub>が含まれないので、Inが脱離するのを抑えることができ、活性層16の劣化を防止することができる。また、p型GaN層17の成長時にはキャリアガス雰囲気をN<sub>2</sub>とH<sub>2</sub>との混合ガス雰囲気としているので、これらのp型層を良好な結晶性で成長させることができる。

次に、上述のようにしてGaN系半導体層を成長させたサファイア基板11をMOCVD装置から取り出す。

次に、基板全面に例えば真空蒸着法によりNi膜、Ag膜(またはPt膜)およびAu膜を順次形成した後、その上にリソグラフィーにより所定形状のレジストパターンを形成し、このレジストパターンをマスクとしてNi膜、Ag膜およびAu膜をエッチングする。これによって、第5図Aおよび第5図Bに示すように、六角錐状の尖塔形状のn型GaN層15の上に成長した活性層16およびp型GaN層17の頂点を含む領域に、Ni/Ag(またはPt)/Au構造のp側電極18が形成される。このp側電極18の大きさは、後述のように駆動電流がn型GaN層15などの欠陥領域をなるべく流れないように決められ、具体的には例えば4μm程度とする。

次に、成長マスク 1 4 の所定部分をエッチング除去してこの部分に n 型 G a N 層 1 2 を露出させる。次に、基板全面に例えば真空蒸着法により T i 膜、P t 膜および A u 膜を順次形成した後、その上にリソグラフィーにより所定形状のレジストパターンを形成し、このレジストパターンをマスクとして T i 膜、P t 膜および A u 膜をエッチングする。これによって、n 型 G a N 層 1 2 にコンタクトした T i / P t / A u 構造の n 側電極 1 9 が形成される。

この後、上述のようにして発光ダイオード構造がアレイ状に形成された基板を R I E によるエッチングやダイサーやエキシマレーザによる剥離などによりチップ化し、目的とする G a N 系発光ダイオードを得る。必要に応じて、発光ダイオード構造がアレイ状に形成された基板をチップ化する前に、基板表面を平坦に近く加工するようにしてもよい。

このようにして製造された G a N 系発光ダイオードの p 側電極 1 8 と n 側電極 1 9 との間に電流を流して駆動したところ、活性層 1 6 の I n 組成に応じて発光波長 3 8 0 ~ 6 2 0 n m の範囲、例えば発光波長 4 5 0 n m で、サファイア基板 1 1 を通した発光を確認することができた。また、発光効率が高く、発光出力は例えば駆動電流が 2 0 0  $\mu$  A の時に 4 0  $\mu$  W であった。

ここで、六角錐状の尖塔形状を有する n 型 G a N 層 1 5 の凸面をなす傾斜結晶面を構成する複数の結晶面のうちの結晶面 F<sub>1</sub> の傾斜角と発光効率との関係について説明する。すでに述べたように、結晶面 F<sub>1</sub> の傾斜角は例えば 7 4 ~ 8 2 度であるが、この傾斜角が大きい方が発光効率が良くなる傾向がある。例えば、この傾斜角が 7 4 度の場合には、n 型 G a N 層 1 5 の成長厚がプレーナ成長換算で 2  $\mu$  m の時、開口部 1 3 の大きさ D = 1 0  $\mu$  m、ピッチ P = 2 9  $\mu$  m に対し、発光効

率は 100 mW/A であったのに対し、76 度の場合には、n 型 GaN 層 15 の成長厚がプレーナ成長換算で 2 μm の時、開口部 13 の大きさ D = 3 μm、ピッチ P = 17 μm に対し、発光効率は 200 mW/A、82 度の場合には、n 型 GaN 層 15 の成長厚がプレーナ成長換算で 4 μm の時、開口部 13 の大きさ D = 3 μm、ピッチ P = 17 μm に対し、発光効率は 210 mW/A であった。

次に、第 6 図に示す成長マスク 14 の開口部 13 の大きさ D およびピッチ P と発光効率との関係について説明する。D、P（単位はともに μm）の組み合わせを (D, P) と表し、D を 3 ~ 10 μm、P を 11 ~ 28 μm の範囲で変えた試料を多数作製し、それぞれに対して n 型 GaN 層 15 の選択成長を行った。その結果、ピッチ P が大きい方が、n 型 GaN 層 15 が良好な傾斜結晶面を有する尖塔形状となり、発光効率が高くなる傾向があり、大きさ D は小さい方が発光効率が高くなる傾向にあった。また、この時の光の取り出しの様子を観察した所、素子の中心部だけでなく側面も含めた全体から多くの発光が生じているように見られた。

第 7 図に六角錐状の尖塔形状の n 型 GaN 層 15 の走査型電子顕微鏡 (SEM) 写真を示す。ここで、成長マスク 14 の開口部 13 の大きさ D = 3 μm、ピッチ P = 10 μm である。比較のために、従来の S 面からなる傾斜結晶面を有する六角錐状の n 型 GaN 層の SEM 写真を第 8 図に示す。ここで、成長マスク 14 の開口部 13 の大きさ D = 10 μm、ピッチ P = 29 μm である。

また、第 9 図に成長マスク 14 の開口部 13 の大きさ D = 3 μm、ピッチ P = 17 μm の場合の n 型 GaN 層 15 の SEM 写真を示す。さらに、第 10 図に成長マスク 14 の開口部 13 の大きさ D = 3 μm、ピッチ P = 28 μm の場合の n 型 GaN 層 15 の SEM 写真（倍率は

第9図の1／2であることに注意)を示す。第9図および第10図より、ピッチPが約17μmの場合よりも約28μmの場合の方が成長マスク14に近い部分の六角錐状の尖塔形状のn型GaN層15の傾斜角がより大きくなっていることが分かる。

5 この第1の実施形態によれば、次のような多くの利点を得ることができる。

10 第11図に示すように、n型GaN層15の成長時にはその内部に転位20や積層欠陥21が発生し、それらが活性層16を横切る所もあるが、少なくともn型GaN層15の頂点に近い部分では転位20や積層欠陥21が消滅している。そこで、この第1の実施形態においては、p側電極18とn側電極19との間に駆動電流を流した時、駆動電流がn型GaN層15などの欠陥領域を流れないようにp側電極18の大きさを決めている。このため、発光効率が極めて高く、信頼性にも優れたGaN系発光ダイオードを得ることができる。

15 また、この第1の実施形態においては、サファイア基板11の正面に対して傾斜しつつ互いに傾斜角が異なる複数の結晶面(結晶面F<sub>1</sub>、F<sub>2</sub>、F<sub>3</sub>、F<sub>4</sub>)からなり、全体として凸面をなす傾斜結晶面を有する六角錐状の尖塔形状のn型GaN層15を成長させ、その上に活性層16およびp型GaN層17を成長させていることにより、p型GaN層17もn型GaN層15と同様の傾斜結晶面を有する。このため、p側電極18とn側電極19との間に駆動電流を流した時に活性層16から生じる光のうちp型GaN層17側に進む光は、このp型GaN層17の外面で反射されてサファイア基板11側に進む。一方、活性層16から生じる光のうちn型GaN層15の内部に進む光はそのままサファイア基板11側に進む。この結果、活性層16から生じる光をサファイア基板11を通して効率良く外部に取り出すこと

ができ、高い発光効率を得ることができる（第12図参照）。

さらに、この第1の実施形態によるGaN系発光ダイオードは、第1図Aおよび第1図Bに示す従来のGaN系発光ダイオードに比べて、素子1個当たりの占有面積を極めて小さくすることができる。例えば、  
5 従来のGaN系発光ダイオードの六角錐状の発光素子構造の大きさは $20\mu m$ 程度であるのに対し、この第1の実施形態によるGaN系発光ダイオードの六角錐状の尖塔形状の発光素子構造の大きさは $10\mu m$ 程度と極めて小さい。

また、p側電極18として、反射率の高いAg膜を含むNi/Ag  
10 /Au構造のものを用いているため、このp側電極18が形成された、六角錐状の尖塔形状のp型GaN層17の上部での反射率を高くすることができ、それによって光の取り出し効率をさらに高くすることができ、発光効率をさらに高くすることができる。

さらに、この第1の実施形態によれば、光の取り出し方向を基板面  
15 対して垂直に近くすることができる。すなわち通常、面上の発光素子からの発光の分布はランバーティアン（Lambertian）といい、完全拡散面ともいう。このような時、発光はどの方向から見ても等方的であるが、ブラックマスクなどを設けるとその方向にも光が行くので、前方に光を取り出したい時はレンズを必要とするが、この第1の実施  
20 形態によれば、成長のみで光の取り出し方向を調整することができる。

次に、この発明の第2の実施形態によるGaN系発光ダイオードについて説明する。

この第2の実施形態においては、第1の実施形態と同様に工程を進めてp型GaN層17まで成長させた後、このp型GaN層17上に  
25 p側電極18を形成する。次に、サファイア基板11の裏面側から例えばエキシマーレーザなどによるレーザビームを照射することにより、

サファイア基板 11 から、n 型 GaN 層 12 から上の部分を剥離する。次に、このようにして剥離された n 型 GaN 層 12 の裏面をエッチングなどにより平坦化した後、第 13 図に示すように、n 型 GaN 層 12 の裏面に n 側電極 19 を形成する。この n 側電極 19 は例えば TiO などからなる透明電極としてもよく、この場合は六角錐状の尖塔形状の部分に対応する部分を含む n 型 GaN 層 12 の裏面の広い面積にわたって n 側電極 19 を形成することができる。また、この n 側電極 19 を Ti / Pt / Au 構造の金属積層膜により形成する場合には、n 型 GaN 層 12 を通して外部に光が放射されるようにするために、第 14 図に示すように、六角錐状の尖塔形状の n 型 GaN 層 15 に対応する部分における n 側電極 19 に開口部 19a を設ける。

この第 2 の実施形態によれば、第 1 の実施形態と同様な利点を得ることができる。

次に、この発明の第 3 の実施形態による画像表示装置について説明する。この画像表示装置を第 15 図に示す。

第 15 図に示すように、この画像表示装置においては、サファイア基板 11 の面内の互いに直交する x 方向および y 方向に GaN 系発光ダイオードが規則的に配列され、GaN 系発光ダイオードの二次元アレイが形成されている。各 GaN 系発光ダイオードの構造は、例えば第 1 の実施形態と同様である。

y 方向には、赤色 (R) 発光用の GaN 系発光ダイオード、緑色 (G) 発光用の GaN 系発光ダイオードおよび青色 (B) 発光用の GaN 系発光ダイオードが隣接して配列され、これらの 3 つの GaN 系発光ダイオードにより 1 画素が形成されている。x 方向に配列された赤色発光用の GaN 系発光ダイオードの p 側電極 18 同士は配線 22 により互いに接続され、同様に、x 方向に配列された緑色発光用の G

a N系発光ダイオードのp側電極18同士は配線23により互いに接続され、x方向に配列された青色発光用のGaN系発光ダイオードのp側電極18同士は配線24により互いに接続されている。一方、n側電極19はy方向に延在しており、y方向に配列されたGaN系発光ダイオードの共通電極となっている。

5 このように構成された単純マトリクス方式の画像表示装置においては、表示すべき画像の信号に応じて配線22～24とn側電極19とを選択し、選択された画素の選択されたGaN系発光ダイオードに電流を流して駆動し、発光を起こさせることにより、画像を表示することができる。

10 この第3の実施形態によれば、各GaN系発光ダイオードが第1の実施形態によるGaN系発光ダイオードと同様な構成を有することにより発光効率が高いため、高輝度のフルカラー画像表示装置を実現することができる。

15 次に、この発明の第4の実施形態による照明装置について説明する。この照明装置は第15図に示す画像表示装置と同様な構成を有する。

この照明装置においては、照明光の色に応じて配線22～24とn側電極19とを選択し、選択された画素の選択されたGaN系発光ダイオードに電流を流して駆動し、発光を起こさせることにより、照明光を発生させることができる。

20 この第4の実施形態によれば、各GaN系発光ダイオードが第1の実施形態によるGaN系発光ダイオードと同様な構成を有することにより発光効率が高いため、高輝度の照明装置を実現することができる。

25 次に、この発明の第5の実施形態によるGaN系発光ダイオードについて説明する。このGaN系発光ダイオードを第16図Aおよび第16図Bに示す。

この第5の実施形態においては、第1の実施形態と同様にしてGaN系発光ダイオードを製造するが、成長マスク14の開口部13の大きさ $D = 10 \mu\text{m}$ 、ピッチ $P = 28 \mu\text{m}$ とすることが第1の実施形態と異なる。この場合、発光素子構造の大きさ $W = 13 \mu\text{m}$ である。

5 この第5の実施形態によれば、成長マスク14の開口部13の大きさ $D$ が $10 \mu\text{m}$ と比較的大きいことにより、n型GaN層15の選択成長時に転位20や積層欠陥21が発生する領域が小さくなり、これらの結晶欠陥が発光に及ぼす影響を小さくすることができる。これにより、発光効率が高く、信頼性にも優れたGaN系発光ダイオードを得ることができる。発光出力としては、例えば、駆動電流 $200 \mu\text{A}$ の時に $25 \mu\text{W}$ を得ることができる。これに加えて、第1の実施形態と同様な他の利点を得ることもできる。

10 次に、この発明の第6の実施形態によるGaN系発光ダイオードについて説明する。このGaN系発光ダイオードを第17図Aおよび第17図Bに示す。

15 この第6の実施形態においては、第1の実施形態と同様にして開口部13を有する成長マスク14を形成するが、第1の実施形態と異なり、開口部13の大きさ $D = 10 \mu\text{m}$ 、ピッチ $P = 28 \mu\text{m}$ とする。次に、この成長マスク14を用いてn型GaN層15を選択成長させる。この時の成長温度は例えば $1020^\circ\text{C}$ とし、成長速度をプレーナ成長換算で $4 \mu\text{m}/\text{h}$ にする。この選択成長の際には、n型GaN層12との界面近傍における成長を穏やかにするため、成長温度を $1020^\circ\text{C}$ よりも低くし、成長速度を低くして成長させるようにしてもよいが、n型GaN層12との界面近傍の部分を除く大部分の成長は成長温度を $1020^\circ\text{C}$ とし、成長速度をプレーナ成長換算で $4 \mu\text{m}/\text{h}$ に設定して行う。この後、成長速度を $0.5 \mu\text{m}/\text{h}$ 程度に落として

成長を行う。これによって、第17図Aおよび第17図Bに示すように、全体として凸面をなす傾斜結晶面を有する尖塔形状のn型GaN層15が成長する。この場合、この傾斜結晶面は、このn型GaN層15の下部の側面に形成される、M面またはそれより傾斜角が少し小さい結晶面と、このn型GaN層15の上部の側面に形成されるS面とからなる。

この後、第1の実施形態と同様にして工程を進め、第17図Aおよび第17図Bに示すGaN系発光ダイオードを製造する。この場合、発光素子構造の大きさ $W = 13 \mu m$ である。

この第6の実施形態によれば、第1の実施形態および第2の実施形態と同様な利点を得ることができる。発光出力としては、例えば、駆動電流 $200 \mu A$ の時に $25 \mu W$ を得ることができる。

次に、この発明の第7の実施形態によるGaN系発光ダイオードについて説明する。このGaN系発光ダイオードを第18図Aおよび第18図Bに示す。

この第7の実施形態においては、第1の実施形態と同様にして開口部13を有する成長マスク14を形成するが、開口部13の大きさ $D = 10 \mu m$ 、ピッチ $P = 28 \mu m$ とする。次に、第1の実施形態と同様にして、この成長マスク14を用いてn型GaN層15を選択成長させ、さらにその上に活性層16およびp型GaN層17を成長させるが、ここではこの活性層16を障壁層16a、井戸層16b、障壁層16c、井戸層16dおよび障壁層16eからなるMQW構造とする。これらの障壁層16a、井戸層16b、障壁層16c、井戸層16dおよび障壁層16eは、例えばInGaN層により構成する。この場合、発光素子構造の大きさ $W = 13 \mu m$ である。

この後、第1の実施形態と同様にして工程を進め、第18図Aおよ

び第18図Bに示すGaN系発光ダイオードを製造する。

この第7の実施形態によれば、第1の実施形態および第2の実施形態と同様な利点を得ることができる。発光出力としては、例えば、駆動電流 $200\mu A$ の時に $80\mu W$ を得ることができる。

5 次に、この発明の第8の実施形態によるGaN系発光ダイオードについて説明する。このGaN系発光ダイオードを第19図Aおよび第19図Bに示す。

この第8の実施形態においては、第1の実施形態と同様にして開口部13を有する成長マスク14を形成するが、第1の実施形態と異なり、開口部13の大きさ $D = 10\mu m$ 、ピッチ $P = 28\mu m$ とする。  
10 次に、この成長マスク14を用いてn型GaN層15を選択成長させる。この時の成長温度は例えば $940^{\circ}C$ とし、成長速度をプレーナ成長換算で $11.0 \sim 11.3\mu m/h$ という非常に速い成長速度にする。この選択成長の際には、n型GaN層12との界面近傍における成長を穏やかにするため、成長温度を $940^{\circ}C$ よりも低くし、成長速度を低くして成長させるようにしてもよいが、n型GaN層12との界面近傍の部分を除く大部分の成長は成長温度を $940^{\circ}C$ とし、成長速度をプレーナ成長換算で $11.0 \sim 11.3\mu m/h$ という非常に速い成長速度に設定して行う。この後、成長速度を $0.5\mu m/h$ 程度に落として成長を行う。これによって、第19図Aおよび第19図Bに示すように、全体として凸面をなす傾斜結晶面を有し、頂点部分の上面がC面またはC面類似の結晶面からなる六角錐台状の尖塔形状のn型GaN層15が成長する。次に、このn型GaN層15の頂点部分に例えば $940^{\circ}C$ の成長温度でアンドープGaN層22を例えば $11.0 \sim 11.3\mu m/h$ の成長速度で六角錐が閉じるように例えば厚さ $100nm$ 程度成長させる。このアンドープGaN層22は電

流阻止領域となる。

この後、第1の実施形態と同様にして工程を進め、第19図Aおよび第19図Bに示すGaN系発光ダイオードを製造する。この場合、発光素子構造の大きさ $W = 13 \mu m$ である。

5 この第8の実施形態によれば、第1の実施形態および第2の実施形態と同様な利点を得ることができる。この場合特に、アンドープGaN層22が電流阻止領域となることにより、駆動電流が結晶性の悪い部分を通るのを避けることができるため、発光効率のより一層の向上を図ることができる。発光出力としては、例えば、駆動電流 $200 \mu A$ の時に $80 \mu W$ を得ることができる。

次に、この発明の第9の実施形態によるGaN系発光ダイオードについて説明する。このGaN系発光ダイオードを第20図Aおよび第20図Bに示す。

この第9の実施形態においては、第1の実施形態と同様にして開口部13を有する成長マスク14を形成するが、第1の実施形態と異なり、開口部13の形状を一つの最大寸法方向に延びた細長い六角形とし、その最大寸法を例えば $30 \mu m$ 、この最大寸法方向に垂直な方向の最小寸法を例えば $10 \mu m$ とする。開口部13のピッチPは例えば $28 \mu m$ とする。次に、この成長マスク14を用いてn型GaN層15を選択成長させる。この時の成長温度は例えば $940^\circ C$ とし、成長速度をプレーナ成長換算で $11.0 \sim 11.3 \mu m/h$ という非常に速い成長速度にする。この選択成長の際には、n型GaN層12との界面近傍における成長を穏やかにするため、成長温度を $940^\circ C$ よりも低くし、成長速度を低くして成長させるようにしてもよいが、n型GaN層12との界面近傍の部分を除く大部分の成長は成長温度を $940^\circ C$ とし、成長速度をプレーナ成長換算で $11.0 \sim 11.3 \mu m$

／ $h$  という非常に速い成長速度に設定して行う。これによって、第 2  
0 図 A および第 20 図 B に示すように、成長マスク 14 の開口部 13  
の最小寸法方向に沿った断面で見たとき、この断面に垂直な方向に広  
がり、全体として凸面をなす傾斜結晶面を有する尖塔形状の n 型 Ga  
5 N 層 15 が成長する。

この後、第 1 の実施形態と同様にして工程を進め、第 20 図 A およ  
び第 20 図 B に示す GaN 系発光ダイオードを製造する。この場合、  
発光素子構造の大きさ  $W = 13 \mu m$  である。

この第 9 の実施形態によれば、第 1 の実施形態および第 2 の実施形  
10 態と同様な利点を得ることができる。発光出力としては、例えば、駆  
動電流  $200 \mu A$  の時に  $25 \mu W$  を得ることができる。

次に、この発明の第 10 の実施形態による GaN 系発光ダイオード  
について説明する。この GaN 系発光ダイオードを第 21 図 A および  
第 21 図 B に示す。

この第 10 の実施形態においては、第 1 の実施形態と同様にして開  
15 口部 13 を有する成長マスク 14 を形成するが、第 1 の実施形態と異  
なり、開口部 13 の大きさ  $D = 10 \mu m$ 、ピッチ  $P = 28 \mu m$  とする。  
次に、この成長マスク 14 を用いて n 型 GaN 層 15 を選択成長させ  
20 る。この時の成長温度は例えば  $940^\circ C$  とし、成長速度をプレーナ成  
長換算で  $11.0 \sim 11.3 \mu m/h$  という非常に速い成長速度にする。  
この選択成長の際には、n 型 GaN 層 12 との界面近傍における  
成長を穏やかにするため、成長温度を  $940^\circ C$  よりも低くし、成長速  
度を低くして成長させるようにしてもよいが、n 型 GaN 層 12 との  
界面近傍の部分を除く大部分の成長は成長温度を  $940^\circ C$  とし、成長  
25 速度をプレーナ成長換算で  $11.0 \sim 11.3 \mu m/h$  という非常に  
速い成長速度に設定して行う。

次に、成長マスク 1 4 を例えればフッ酸系のエッチング液を用いたウエットエッチング、または、 $\text{CF}_4$  や  $\text{CHF}_3$  などのフッ素を含むエッチングガスを用いた RIE 法によりエッチング除去する。

次に、n 型 GaN 層 1 5 上に例えれば 960°C の成長温度で例えば 1  
5  $\mu\text{m}$  程度の厚さに n 型 GaN 層（図示せず）を成長させた後、引き続  
いてその清浄な表面上に活性層 1 6 および p 型 GaN 層 1 7 を成長さ  
せる。この場合、発光素子構造の大きさ  $W = 13 \mu\text{m}$  である。

次に、第 1 の実施形態と同様にして工程を進め、p 側電極 1 8 まで  
形成する。

次に、リソグラフィーにより、n 側電極形成領域を除いた領域の p  
10 型 GaN 層 1 7 の表面を覆うレジストパターン（図示せず）を形成し  
た後、このレジストパターンをマスクとして例えば RIE 法により p  
型 GaN 層 1 7 および活性層 1 6 をエッチングして開口部を形成し、  
この開口部に n 型 GaN 層 1 2 を露出させる。この後、レジストパタ  
15 ノンを除去する。次に、基板全面に例えれば真空蒸着法により Ti 膜、  
Pt 膜および Au 膜を順次形成した後、その上にリソグラフィーによ  
り所定形状のレジストパターンを形成し、このレジストパターンをマ  
スクとして Ti 膜、Pt 膜および Au 膜をエッチングする。これによ  
り、p 型 GaN 層 1 7 および活性層 1 6 に形成された開口部を通じ  
20 て n 型 GaN 層 1 2 にコンタクトした Ti / Pt / Au 構造の n 側電  
極 1 9 が形成される。

この第 10 の実施形態によれば、第 1 の実施形態および第 2 の実施  
形態と同様な利点を得ることができる。発光出力としては、例えば、  
駆動電流  $200 \mu\text{A}$  の時に  $25 \mu\text{W}$  を得ることができる。

これに加えて、この第 10 の実施形態によれば、次のような利点を  
25 得ることもできる。すなわち、すでに述べた従来の GaN 系発光ダイ

オードでは、酸化シリコン（SiO<sub>2</sub>）や窒化シリコン（SiN）からなる成長マスクの開口部におけるn型GaN層上に基板の主面に対して傾斜した傾斜結晶面を有する六角錐形状のn型GaN層を選択成長し、成長マスクを残したままその傾斜結晶面上に活性層やp型GaN層などを成長させるところ、n型GaN層の選択成長やその後のp型GaN層の成長は900℃以上の高温で行われるため、この成長時に成長マスクの表面からシリコン（Si）や酸素（O）が脱離し、これがその付近の成長層に取り込まれるという現象が起こる。この現象が及ぼす影響はp型GaN層の成長時に特に顕著であり、GaNに対してn型不純物として働くSiが、p型GaN層の成長時に成長層に取り込まれると、p型になりにくく、p型になったとしても、正孔濃度、移動度とともに激減することが明らかとなり、これが発光ダイオードの発光効率の向上を阻害する原因であることが判明した。さらに、この成長マスクの開口部を形成する際にはフォトリソグラフィー工程を必要とするが、その際にはレジストをマスク面に密着させて部分的に除去する工程が必要である。ところが、この除去時には、レジストが成長マスクの微小な間隙に残りやすく、その除去は極めて難しい。このため、後の高温成長時に、この残存レジストが不純物源となってp型GaN層などの特性を悪化させることもある。これに対し、この第10の実施形態においては、活性層16およびp型GaN層17の成長前に成長マスク14をエッチング除去しているため、活性層16およびp型GaN層17の成長時に成長マスク14は存在せず、p型GaN層17の成長時に成長マスク14からSiが脱離して成長層に取り込まれる問題が本質的に存在しない。また、レジストによる汚染の問題も本質的に存在しない。このため、十分にMgがドープされた低比抵抗のp型GaN層17を得ることができ、ひいてはGaN系発

光ダイオードの発光効率のさらなる向上を図ることができる。

以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

5 例えば、上述の第1～第10の実施形態において挙げた数値、材料、構造、形状、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、材料、構造、形状、基板、原料、プロセスなどを用いてもよい。

具体的には、例えば、上述の第1～第10の実施形態において、活性層16の特性を向上させるために、その近傍に光閉じ込め特性に優れたAlGaN層を設けたり、In組成の小さいInGaN層をなどを設けてもよい。また、必要に応じて、いわゆるbowingによるバンドギャップの縮小効果を得るために、InGaNにAlを加えてAlGaN層12としてもよい。さらに、必要に応じて、活性層16とn型GaN層12との間や活性層16とp型GaN層17との間に光導波層を設けてもよい。

また、上述の第1～第10の実施形態においては、サファイア基板を用いているが、必要に応じて、すでに述べたSiC基板、Si基板などの他の基板を用いてもよい。更に、ELO (Epitaxial Lateral Overgrowth) やペンデオなどの横方向結晶成長技術を利用して得られる低転位密度のGaN基板を用いてもよい。

さらに、上述の第1～第10の実施形態において、p型GaN層17とp側電極18との間に、活性層16で発生した光の侵入長以下の厚さを有し、Ni、Pd、Co、Sbなどからなるコンタクト金属層を形成してもよい。このようにすることにより、コンタクト金属層による反射増強効果で、GaN系発光ダイオードの発光効率のより一層

の向上を図ることができる。

また、上述の第3および第4の実施形態においては、サファイア基板11上に複数のGaN系発光ダイオードがモノリシックに形成されているが、サファイア基板11上に複数のGaN系発光ダイオードを5 モノリシックに形成した後、これらのGaN系発光ダイオードを個々に分離し、これらを上述の第3および第4の実施形態と同じ配置で他の基台上にマウントし、さらにこれらの間を上述と同様に配線するよ うにしてもよい。

以上説明したように、この発明によれば、一主面に、この主面に対して傾斜しつゝ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面、あるいは、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する10 第1導電型の半導体層の少なくともその傾斜結晶面上に少なくとも活性層および第2導電型の半導体層を順次積層して発光素子構造を形成15 することから、発光効率が極めて高く、素子1個当たりの占有面積も小さい半導体発光素子、集積型半導体発光装置、画像表示装置および照明装置を得ることができる。

## 請 求 の 範 囲

1. 一主面に、この主面に対して傾斜しつたびに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

5 少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

上記第1導電型の半導体層と電気的に接続された第1の電極と、

上記結晶部上の上記第2導電型の半導体層上に設けられ、上記第2導電型の半導体層と電気的に接続された第2の電極とを有する

10 ことを特徴とする半導体発光素子。

2. 上記結晶部はウルツ鉱型の結晶構造を有することを特徴とする請求の範囲第1項記載の半導体発光素子。

3. 上記結晶部は窒化物系Ⅲ-V族化合物半導体からなることを特徴とする請求の範囲第1項記載の半導体発光素子。

15 4. 上記第1導電型の半導体層、上記活性層および上記第2導電型の半導体層は窒化物系Ⅲ-V族化合物半導体からなることを特徴とする請求の範囲第1項記載の半導体発光素子。

5. 上記傾斜結晶面を構成する上記複数の結晶面はS面であることを特徴とする請求の範囲第2項記載の半導体発光素子。

20 6. 上記傾斜結晶面を構成する上記複数の結晶面の傾斜角は上記結晶部の底辺から頂点に向かって段階的に小さくなっていることを特徴とする請求の範囲第2項記載の半導体発光素子。

7. 上記傾斜結晶面を構成する上記複数の結晶面のうちの上記頂点を含む結晶面の傾斜角は60度以上65度以下であることを特徴とする

25 請求の範囲第6項記載の半導体発光素子。

8. 上記結晶部は尖塔形状を有することを特徴とする請求の範囲第1項記載の半導体発光素子。

9. 上記結晶部は六角錐状の尖塔形状を有することを特徴とする請求の範囲第1項記載の半導体発光素子。

5 10. 上記結晶部は上記主面に平行な一方向に細長い形状を有することを特徴とする請求の範囲第1項記載の半導体発光素子。

11. 一主面に、この主面に対して傾斜しかつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第1導電型の半導体層と、

10 少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第2導電型の半導体層と、

上記第1導電型の半導体層と電気的に接続された第1の電極と、

上記結晶部上の上記第2導電型の半導体層上に設けられ、上記第2導電型の半導体層と電気的に接続された第2の電極とを有する半導体15 発光素子の製造方法であって、

基板上に第1導電型の第1の半導体層を成長させる工程と、

上記第1の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

上記成長マスクの上記開口部における上記第1の半導体層上に第1導電型の第2の半導体層を選択成長させる工程と、

上記第2の半導体層を覆うように、少なくとも上記活性層および上記第2導電型の半導体層を順次成長させる工程とを有することを特徴とする半導体発光素子の製造方法。

12. 上記成長マスクは窒化シリコン、酸化窒化シリコン、酸化シリ25 コンまたはそれらの積層膜からなることを特徴とする請求の範囲第1項記載の半導体発光素子の製造方法。

13. 上記成長マスクは少なくとも最表面が窒化シリコンからなることと特徴とする請求の範囲第11項記載の半導体発光素子の製造方法。

14. 上記成長マスクの上記開口部の大きさを  $2 \mu\text{m}$  以上  $13 \mu\text{m}$  以下とすることを特徴とする請求の範囲第11項記載の半導体発光素子  
5 の製造方法。

15. 上記結晶部はウルツ鉱型の結晶構造を有することを特徴とする請求の範囲第11項記載の半導体発光素子の製造方法。

16. 上記結晶部は窒化物系III-V族化合物半導体からなることを特徴とする請求の範囲第11項記載の半導体発光素子の製造方法。

10 17. 上記第1導電型の半導体層、上記第1の半導体層、上記第2の半導体層、上記活性層および上記第2導電型の半導体層は窒化物系III-V族化合物半導体からなることを特徴とする請求の範囲第11項記載の半導体発光素子の製造方法。

18. 上記傾斜結晶面を構成する上記複数の結晶面はS面であること  
15 を特徴とする請求の範囲第14項記載の半導体発光素子の製造方法。

19. 上記傾斜結晶面を構成する上記複数の結晶面の傾斜角は上記結晶部の底辺から頂点に向かって段階的に小さくなっていることを特徴とする請求の範囲第15項記載の半導体発光素子の製造方法。

20 20. 上記結晶部は尖塔形状を有することを特徴とする請求の範囲第11項記載の半導体発光素子の製造方法。

21. 上記結晶部は六角錐状の尖塔形状を有することを特徴とする請求の範囲第11項記載の半導体発光素子の製造方法。

22. 上記結晶部は上記主面に平行な一方向に細長い形状を有することを特徴とする請求の範囲第11項記載の半導体発光素子の製造方法。

25 23. 上記選択成長の成長温度を  $920^\circ\text{C}$  以上  $960^\circ\text{C}$  以下とすることを特徴とする請求の範囲第11項記載の半導体発光素子の製造方法。

24. 上記選択成長の成長速度を  $6 \mu\text{m}/\text{h}$  以上とすることを特徴とする請求の範囲第 11 項記載の半導体発光素子の製造方法。

25. 上記活性層および上記第 2 導電型の半導体層の成長温度を上記第 2 の半導体層の選択成長の成長温度より低くすることを特徴とする請求の範囲第 11 項記載の半導体発光素子の製造方法。  
5

26. 上記第 2 の半導体層をその頂部に上記主面とほぼ平行な結晶面が形成されるように選択成長させた後、上記頂部の上にアンドープの半導体層を成長させるようにしたことを特徴とする請求の範囲第 11 項記載の半導体発光素子の製造方法。

27. 上記成長マスクの上記開口部における上記第 1 の半導体層上に第 1 導電型の第 2 の半導体層を選択成長させる工程と、上記第 2 の半導体層を覆うように、少なくとも上記活性層および上記第 2 導電型の半導体層を順次成長させる工程との間に、上記成長マスクを除去する工程を有することを特徴とする請求の範囲第 11 項記載の半導体発光素子の製造方法。  
10  
15

28. 一主面に、この主面に対して傾斜しつつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、  
20

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された集積型半導体発光装置。

29. 一主面に、この主面に対して傾斜しつつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸  
25

形状の結晶部を有する第 1 導電型の半導体層と、  
少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少な  
くとも活性層および第 2 導電型の半導体層と、  
上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、  
5 上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2  
導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の  
半導体発光素子が集積された集積型半導体発光装置の製造方法であっ  
て、  
基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、  
10 上記第 1 の半導体層上に、所定部分に開口部を有する成長マスクを  
形成する工程と、  
上記成長マスクの上記開口部における上記第 1 の半導体層上に第 1  
導電型の第 2 の半導体層を選択成長させる工程と、  
上記第 2 の半導体層を覆うように、少なくとも上記活性層および上  
記第 2 導電型の半導体層を順次成長させる工程とを有する  
15 ことを特徴とする集積型半導体発光装置の製造方法。  
30. 上記成長マスクの上記開口部の大きさを上記半導体発光素子の  
大きさの 1/4 倍以上 1 倍以下とすることを特徴とする請求の範囲第  
29 項記載の集積型半導体発光装置の製造方法。  
20 31. 上記成長マスクの上記開口部の間隔を上記半導体発光素子の大  
きさの 2 倍以上とすることを特徴とする請求の範囲第 29 項記載の集  
積型半導体発光装置の製造方法。  
32. 上記成長マスクの上記開口部の大きさを  $2 \mu\text{m}$  以上  $13 \mu\text{m}$  以  
下とすることを特徴とする請求の範囲第 29 項記載の集積型半導体發  
25 光装置の製造方法。  
33. 上記成長マスクの上記開口部の間隔を  $10 \mu\text{m}$  以上とすること

を特徴とする請求の範囲第 2 9 項記載の集積型半導体発光装置の製造方法。

3 4 . 一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

5 少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された画像表示装置。

3 5 . 一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

15 少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された画像表示装置の製造方法であって、

20 基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、

上記第 1 の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

上記成長マスクの上記開口部における上記第 1 の半導体層上に第 1

25 導電型の第 2 の半導体層を選択成長させる工程と、

上記第 2 の半導体層を覆うように、少なくとも上記活性層および上

記第 2 導電型の半導体層を順次成長させる工程とを有する

ことを特徴とする画像表示装置の製造方法。

3 6. 一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸  
5 形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

10 上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する一つの半導体発光素子または集積された複数の半導体発光素子を有する照明  
装置。

3 7. 一主面に、この主面に対して傾斜しつたつ互いに傾斜角が異なる複数の結晶面からなり、全体として凸面をなす傾斜結晶面を有する凸  
15 形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

20 上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する一つの半導体発光素子または集積された複数の半導体発光素子を有する照明  
装置の製造方法であって、

基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、

上記第 1 の半導体層上に、所定部分に開口部を有する成長マスクを

25 形成する工程と、

上記成長マスクの上記開口部における上記第 1 の半導体層上に第 1

導電型の第 2 の半導体層を選択成長させる工程と、

上記第 2 の半導体層を覆うように、少なくとも上記活性層および上記第 2 導電型の半導体層を順次成長させる工程とを有することを特徴とする照明装置の製造方法。

5 38. 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

10 上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する

ことを特徴とする半導体発光素子。

39. 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

20 上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する半導体発光素子の製造方法であって、

基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、

上記第 1 の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

上記成長マスクの上記開口部における上記第 1 の半導体層上に第 1

導電型の第 2 の半導体層を選択成長させる工程と、

上記第 2 の半導体層を覆うように、少なくとも上記活性層および上記第 2 導電型の半導体層を順次成長させる工程とを有することを特徴とする半導体発光素子の製造方法。

5 40. 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

10 上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された集積型半導体発光装置。

15 41. 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少なくとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

20 上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された集積型半導体発光装置の製造方法であって、

基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、

25 上記第 1 の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

上記成長マスクの上記開口部における上記第 1 の半導体層上に第 1 導電型の第 2 の半導体層を選択成長させる工程と、

上記第 2 の半導体層を覆うように、少なくとも上記活性層および上記第 2 導電型の半導体層を順次成長させる工程とを有する

5 ことを特徴とする集積型半導体発光装置の製造方法。

4 2 . 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少な  
10 くとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された画像表示装置。

15 4 3 . 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少な  
くとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する複数の半導体発光素子が集積された画像表示装置の製造方法であって、

基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、

25 上記第 1 の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

上記成長マスクの上記開口部における上記第 1 の半導体層上に第 1 導電型の第 2 の半導体層を選択成長させる工程と、

上記第 2 の半導体層を覆うように、少なくとも上記活性層および上記第 2 導電型の半導体層を順次成長させる工程とを有する

5 ことを特徴とする画像表示装置の製造方法。

4 4. 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少な  
10 くとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する一つの半導体発光素子または集積された複数の半導体発光素子を有する照明  
15 装置。

4 5. 一主面に、この主面に対して傾斜し、全体としてほぼ凸面をなす傾斜結晶面を有する凸形状の結晶部を有する第 1 導電型の半導体層と、

少なくとも上記結晶部の上記傾斜結晶面上に順次積層された、少な  
20 くとも活性層および第 2 導電型の半導体層と、

上記第 1 導電型の半導体層と電気的に接続された第 1 の電極と、

上記結晶部上の上記第 2 導電型の半導体層上に設けられ、上記第 2 導電型の半導体層と電気的に接続された第 2 の電極とを有する一つの半導体発光素子または集積された複数の半導体発光素子を有する照明  
25 装置の製造方法であって、

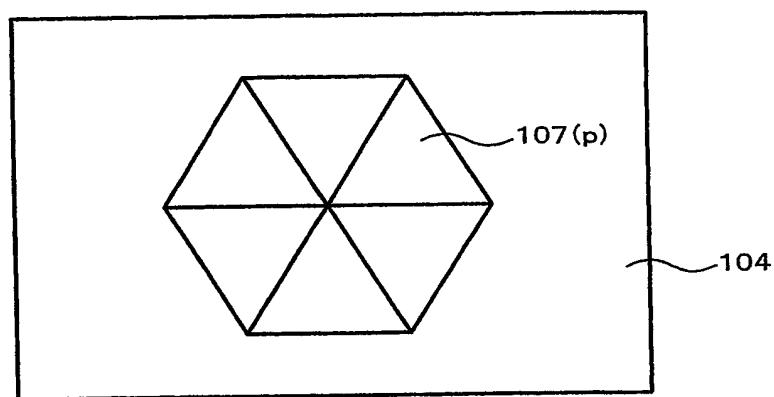
基板上に第 1 導電型の第 1 の半導体層を成長させる工程と、

上記第 1 の半導体層上に、所定部分に開口部を有する成長マスクを形成する工程と、

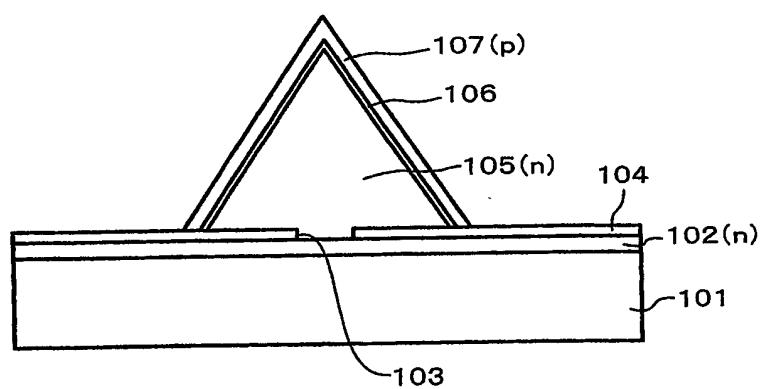
上記成長マスクの上記開口部における上記第 1 の半導体層上に第 1 導電型の第 2 の半導体層を選択成長させる工程と、

5 上記第 2 の半導体層を覆うように、少なくとも上記活性層および上記第 2 導電型の半導体層を順次成長させる工程とを有することを特徴とする照明装置の製造方法。

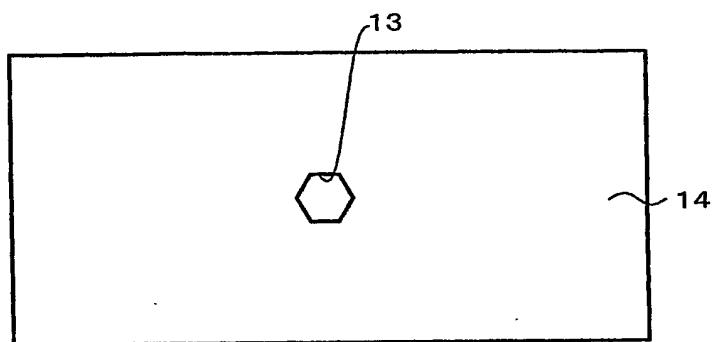
第1図A



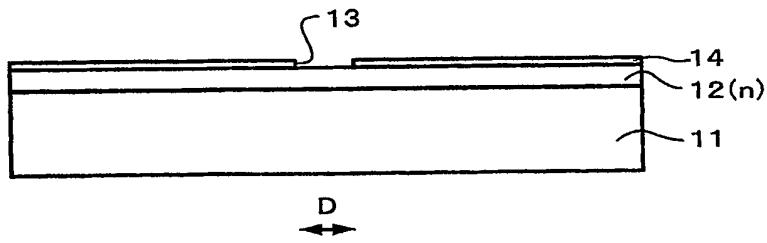
第1図B



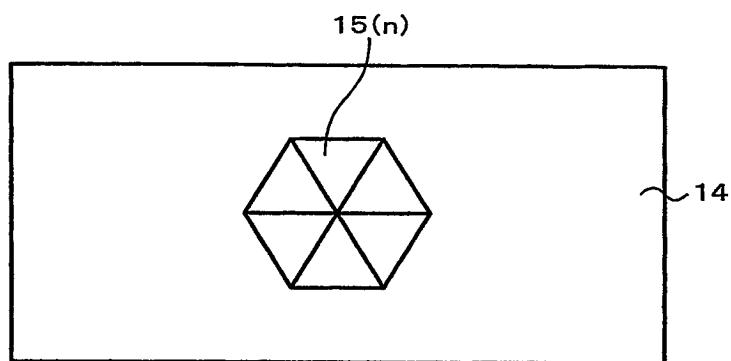
第 2 図 A



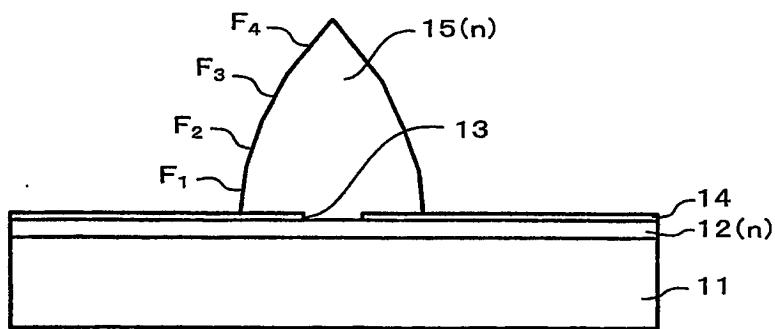
第 2 図 B



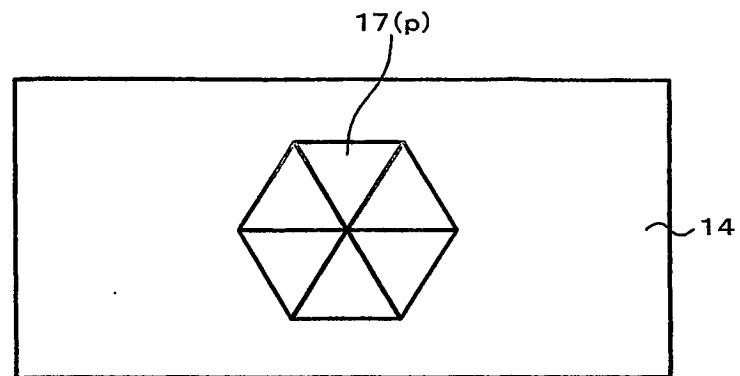
第3図A



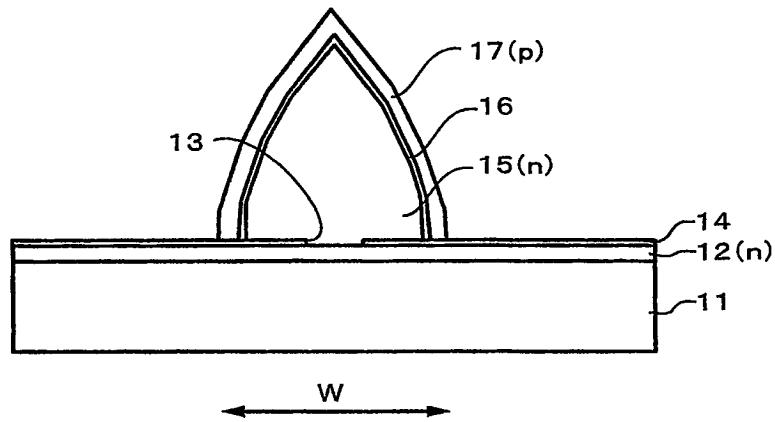
第3図B



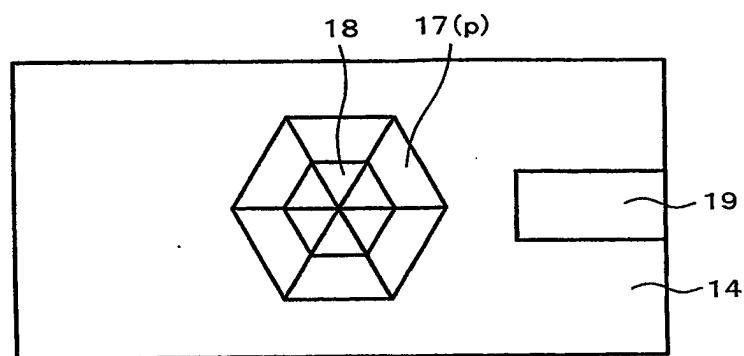
第4図A



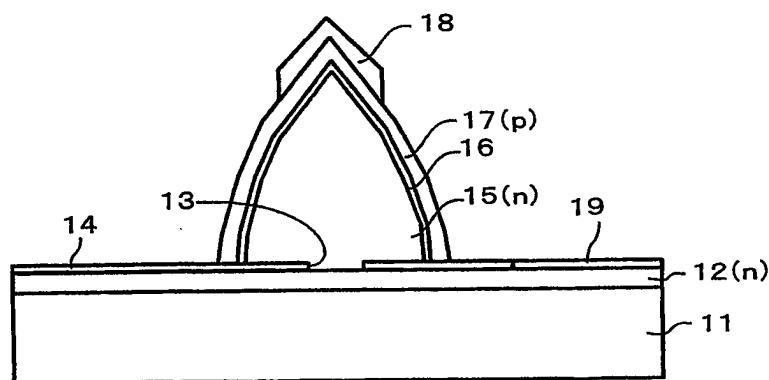
第4図B



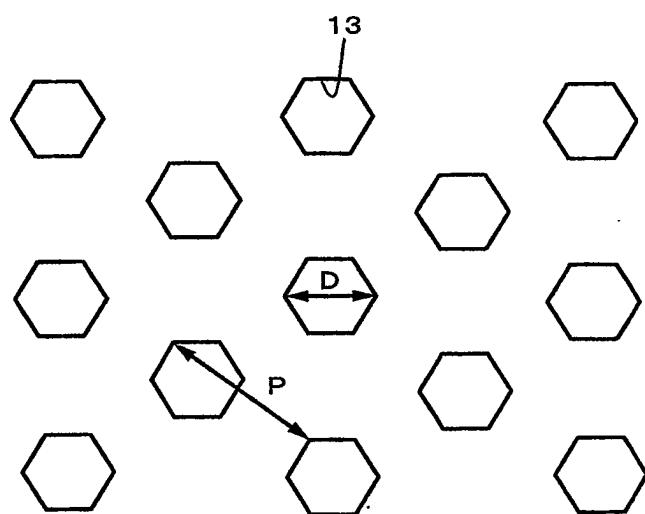
第 5 図 A



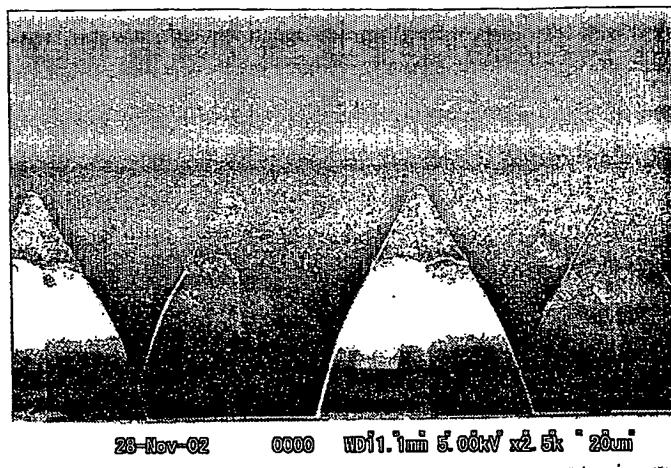
第 5 図 B



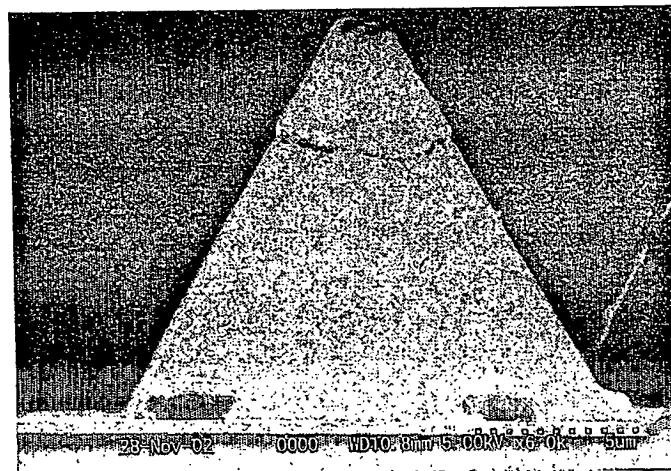
## 第 6 図



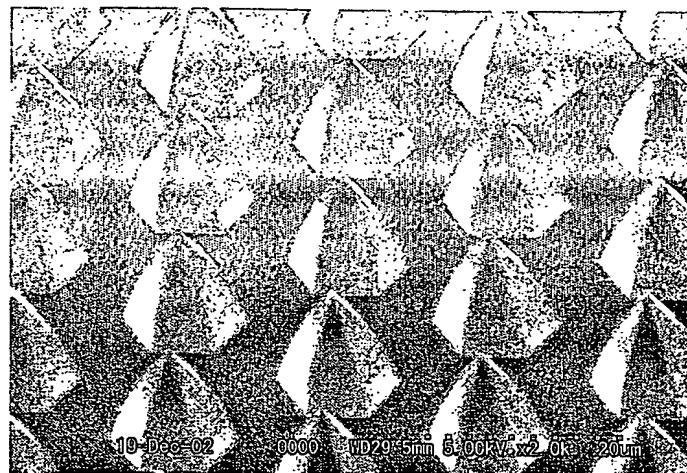
第 7 図



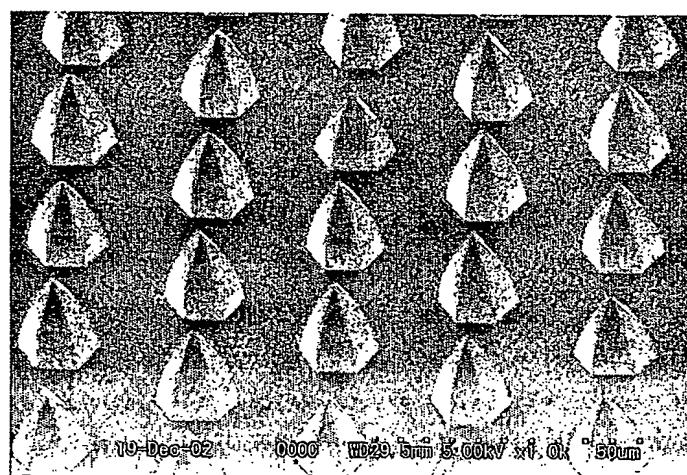
第 8 図



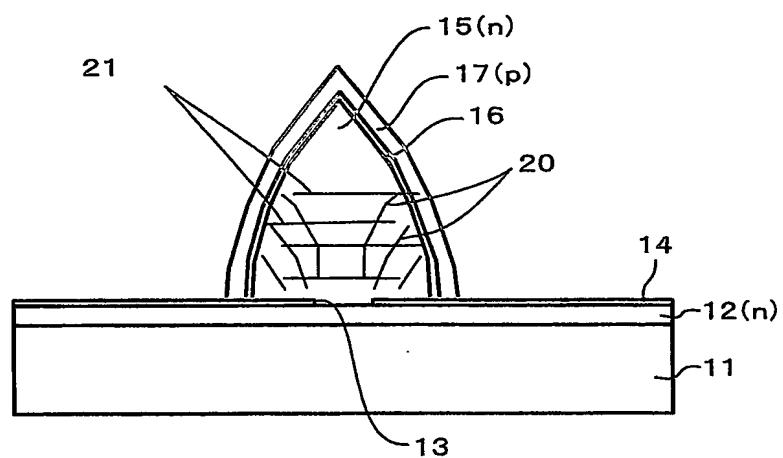
第 9 図



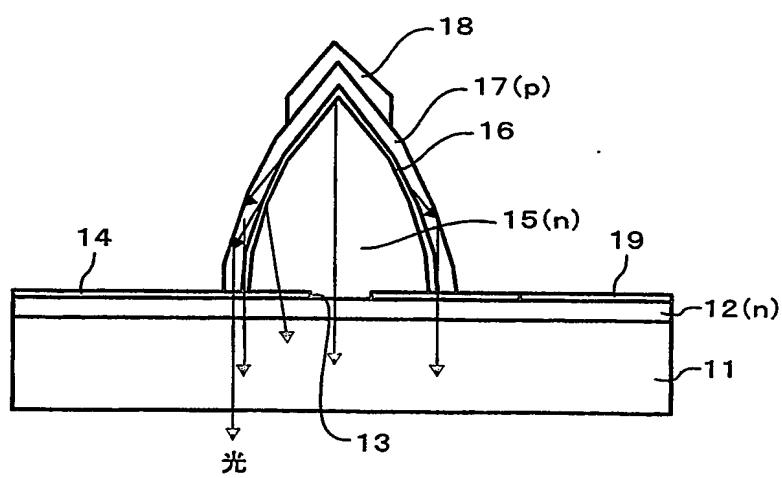
第 10 図



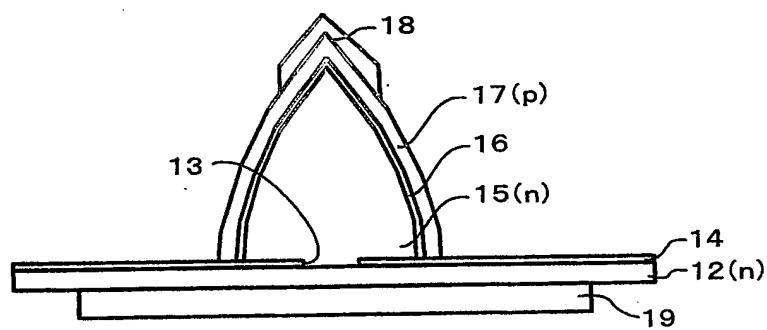
## 第 1 1 図



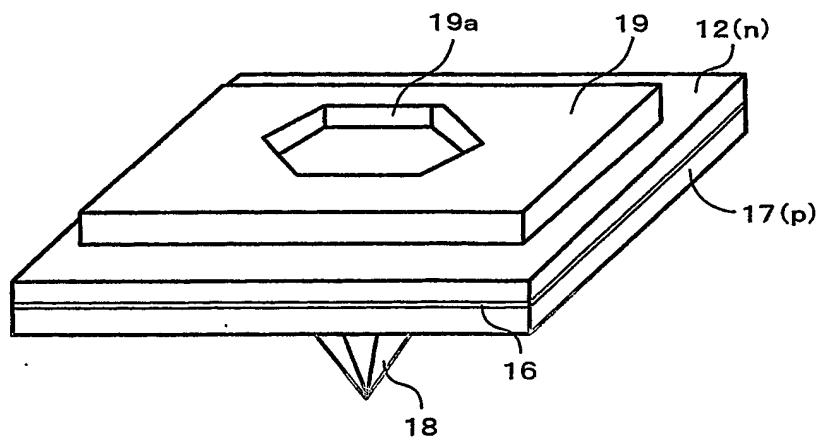
## 第 1 2 図



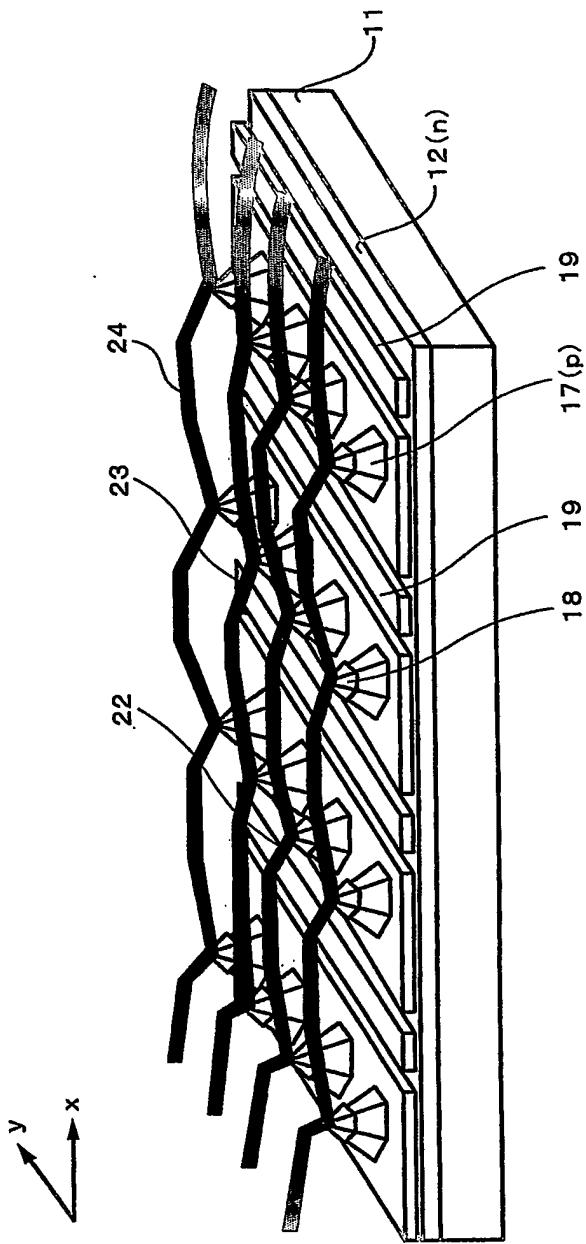
第 1 3 図



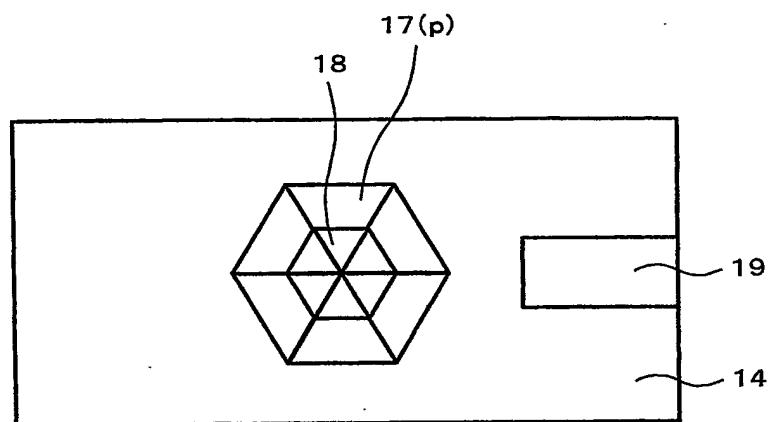
第 1 4 図



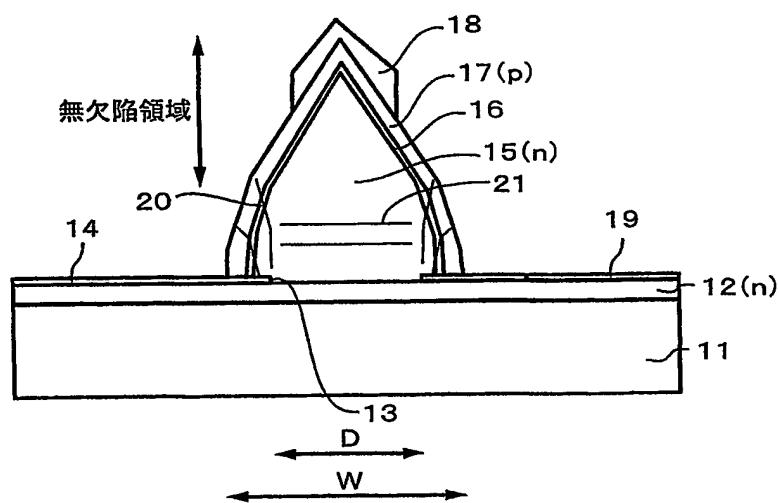
## 第15図



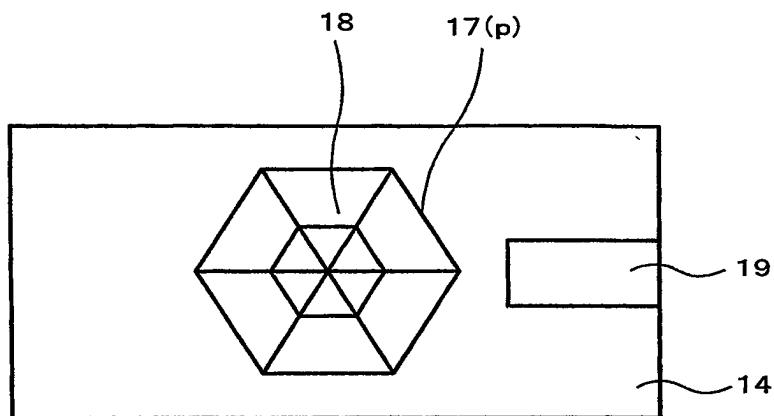
第16図A



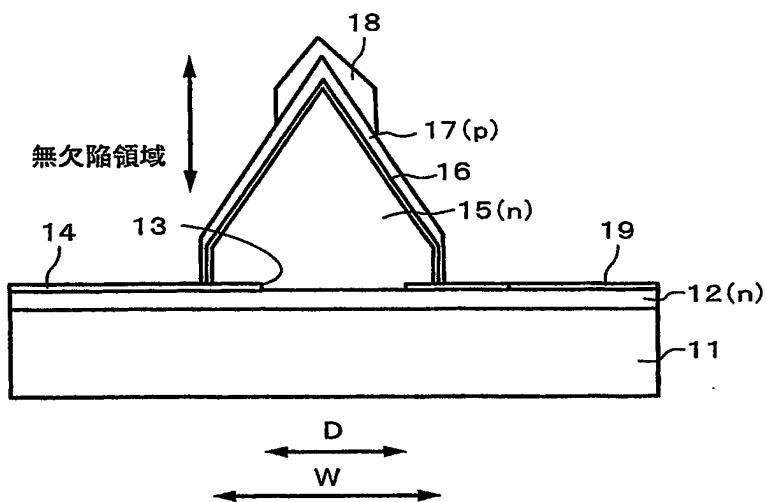
第16図B



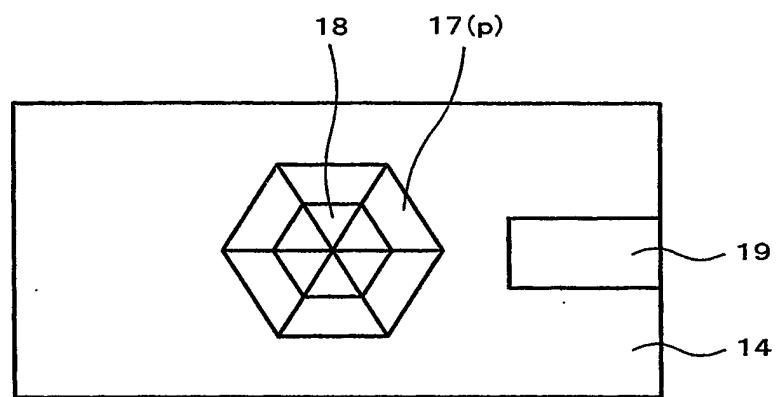
第17図A



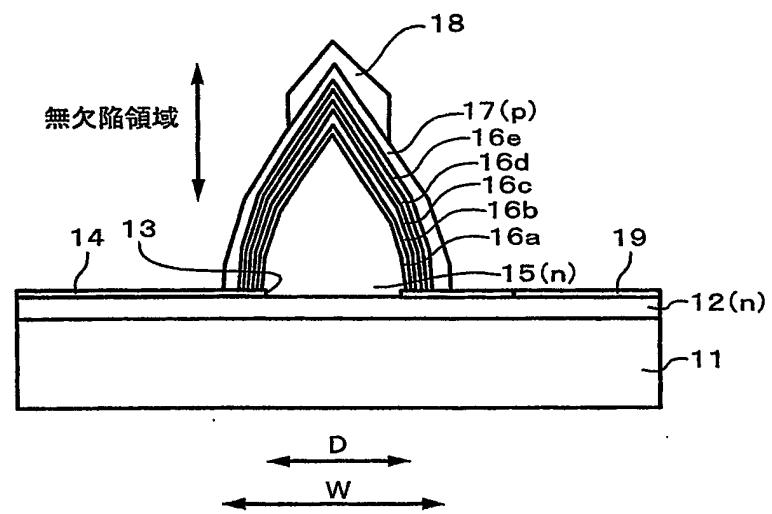
第17図B



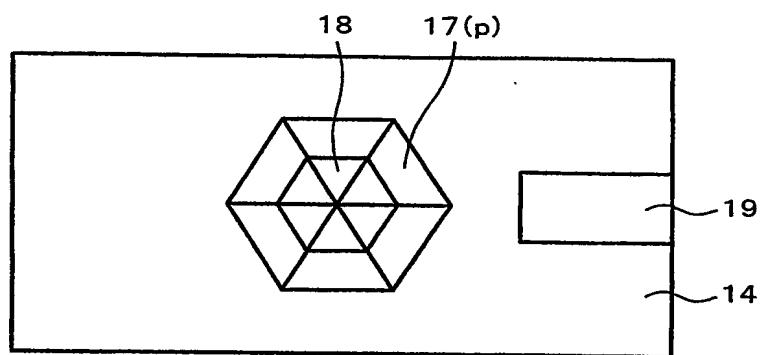
第18図A



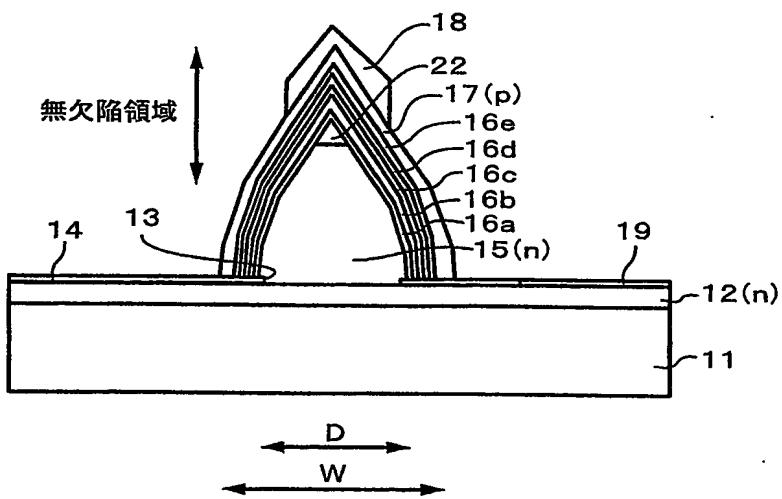
第18図B



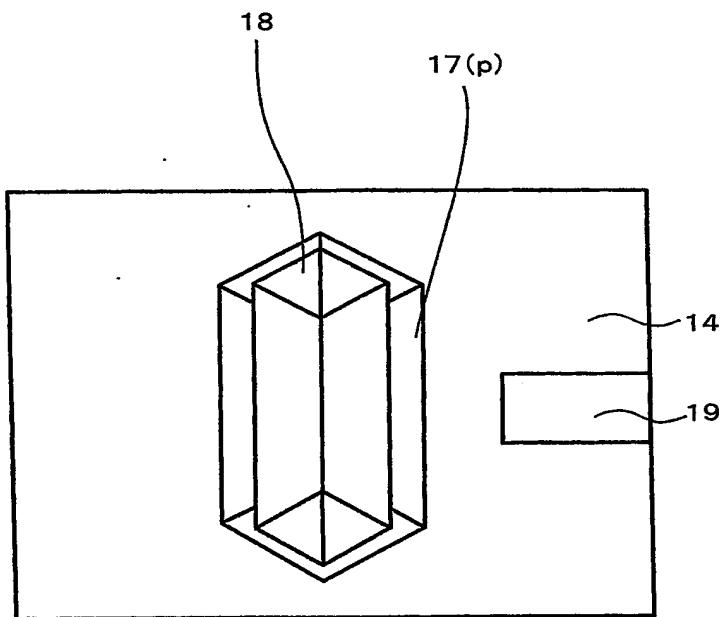
第19図A



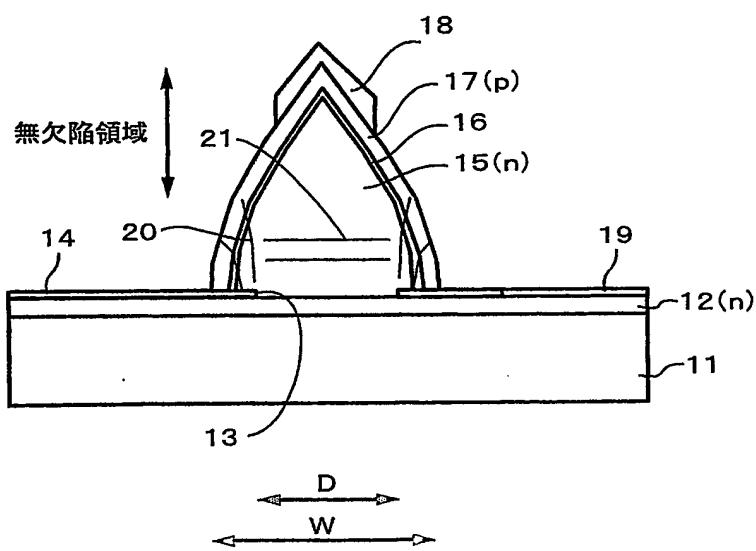
第19図B



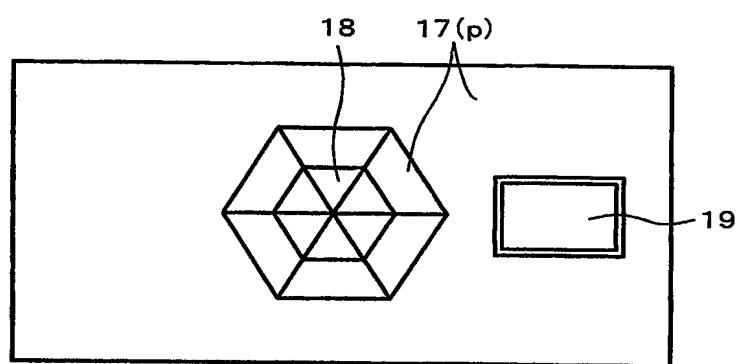
第 20 図 A



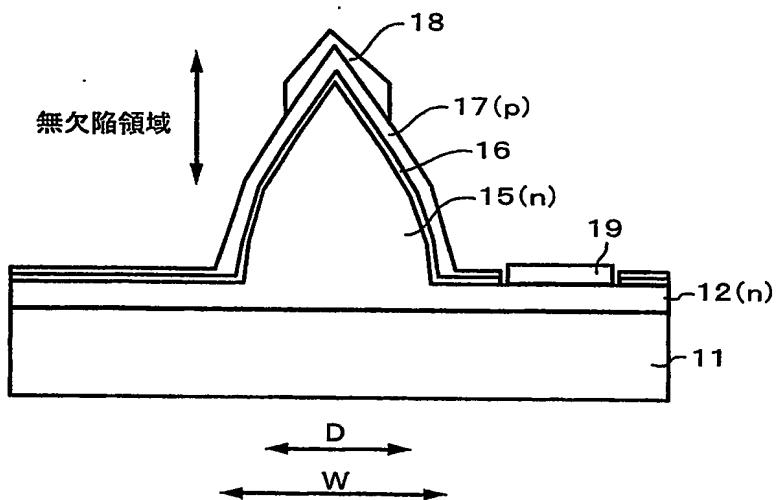
第 20 図 B



第 2 1 図 A



第 2 1 図 B



## 符号の説明

- 1 1 サファイア基板
- 1 2 n型GaN層
- 1 3 開口部
- 1 4 成長マスク
- 1 5 n型GaN層
- 1 6 活性層
- 1 7 p型GaN層
- 1 8 p側電極
- 1 9 n側電極

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2004/001952

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-100805 A (Sony Corp.), 05 April, 2002 (05.04.02), Full text; all drawings In particular, Figs. 53 to 55, 68, 69 & WO 02/7231 A1 & AU 7273901 A & US 2002/117677 A1 & EP 1311002 A1	1-26, 28-45
Y	JP 2002-261327 A (Sony Corp.), 13 September, 2002 (13.09.02), & US 2003/17633 A1 All drawings	1-26, 28-45
A	JP 11-26883 A (Toshiba Electronic Engineering Corp.), 29 January, 1999 (29.01.99), Par. Nos. [0041] to [0055]; Figs. 4 to 6 & US 5981977 A1	1-45

Further documents are listed in the continuation of Box C.

See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
11 May, 2004 (11.05.04)

Date of mailing of the international search report  
25 May, 2004 (25.05.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Telephone No.

Facsimile No.

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2004/001952

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-129974 A (Hitachi, Ltd.), 16 May, 1997 (16.05.97), (Family: none)	1-45
A	JP 6-45648 A (Omron Corp.), 18 February, 1994 (18.02.94), (Family: none)	1-45
A	TACHIBANA, K. et al., "Selective growth of InGaN quantum dot structures and their microphotoluminescence at room temperature", APPLIED PHYSICS LETTERS, 29 May, 2000 (29.05.00), Vol.76, No.22, pages 3212 to 3214	1-45

**INTERNATIONAL SEARCH REPORT**International application No.  
PCT/JP2004/001952**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to claims 1-37, 38, 39, 40, 41, 42, 43, 44 and 45 is a feature described in claim 38. This common feature, however, is not novel since it is disclosed in JP 2002-100805 A (Sony Corp.), 05 April, 2002 (05.04.02), (particularly in Fig. 53). Consequently, the common technical feature is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since this common feature makes no contribution over the prior art. There is therefore no technical feature common to claims 1-37, 38, 39, 40, 41, 42, 43, 44 and 45.

Since there is no other common feature which can be considered as a special technical feature (Continued to extra sheet)

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

The additional search fees were accompanied by the applicant's protest.  
 No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/001952

Continuation of Box No.III of continuation of first sheet(2)

within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be seen among those different inventions.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl' H01L33/00

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl' H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-100805 A(ソニー株式会社) 全文全図、特に図53-55, 68, 69 & WO 02/7231 A1 & AU 7273901 A & US 2002/117677 A1 & EP 1311002 A1	2002. 04. 05 1-26, 28-45
Y	JP 2002-261327 A(ソニー株式会社) & US 2003/17633 A1 全図参照	2002. 09. 13 1-26, 28-45

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

## 国際調査を完了した日

11. 05. 04

## 国際調査報告の発送日

25. 5. 2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

近藤幸浩

2K

8422

電話番号 03-3581-1101 内線 3253

C(続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 11-26883 A (東芝電子エンジニアリング株式会社) 1999.01.29 段落0041-0055, 第4-6図 & US 5981977 A1	1-45
A	JP 9-129974 A (株式会社日立製作所) (ファミリーなし)	1997.05.16
A	JP 6-45648 A (株式会社オムロン) (ファミリーなし)	1994.02.18
A	TACHIBANA, K. et al., "Selective growth of InGaN quantum dot structures and their microphotoluminescence at room temperature", APPLIED PHYSICS LETTERS, 29 May 2000, Vol. 76, No. 22, pages 3212-3214	1-45

## 第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2.  請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3.  請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-37, 38, 39, 40, 41, 42, 43, 44および45に共通な事項は、請求の範囲38に記載された事項である。しかしながら、この共通の事項は、JP 2002-100805 A(ソニー株式会社)2002.04.05(特に図53)に開示されているから、新規でないことが明らかとなった。結果として、上記の共通の事項は先行技術の域を出ないからPCT規則13.2の第2文の意味において、この共通の事項は特別な技術的事項ではない。それゆえ、請求の範囲1-37, 38, 39, 40, 41, 42, 43, 44および45に共通の事項はない。

PCT規則13.2の第2文の意味において特別な技術的事項と考えられる他の共通の事項は存在しないので、それらの相違する発明の間にPCT規則13の意味における技術的な連関を見いだすことはできない。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかつた。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかつたので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかつたので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあつた。
- 追加調査手数料の納付と共に出願人から異議申立てがなかつた。